

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1998年11月10日

出 願 番 号
Application Number:

平成10年特許願第336562号

出 願 人
Applicant(s):

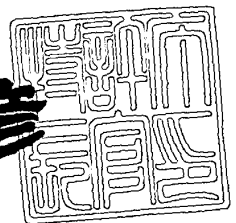
株式会社半導体エネルギー研究所

JC678 U.S. PTO
09/436984
11/09/99

1999年10月 1日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特平11-3066198

【書類名】 特許願

【整理番号】 P004023-03

【提出日】 平成10年11月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置およびその作製方法

【請求項の数】 22

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 山崎 舜平

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 大谷 久

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 濱谷 敏次

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

 【代表者】 山崎 舜平

【手数料の表示】

 【納付方法】 予納

 【予納台帳番号】 002543

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【書類名】 明細書

【発明の名称】 半導体装置およびその作製方法

【特許請求の範囲】

【請求項 1】

活性層と、前記活性層に接した絶縁膜と、前記絶縁膜に接した配線とを有する NTFT 及び PTFT でなる CMOS 回路を含む半導体装置であって、

前記 NTFT のみ前記配線の側部にサイドウォールを有し、

前記 NTFT の活性層は、チャンネル形成領域と、異なる濃度で 15 族に属する元素を含む少なくとも三種類の不純物領域とを含み、

前記少なくとも三種類の不純物領域のうち、前記チャンネル形成領域と接する不純物領域は、前記絶縁膜を介して前記サイドウォールと重なっており、

前記 PTFT の活性層は、チャンネル形成領域と、同一濃度で 13 族に属する元素を含む二種類の不純物領域とを含み、

前記 NTFT 及び前記 PTFT とともに、前記チャンネル形成領域から最も遠い不純物領域には、前記活性層の結晶化に用いた触媒元素が $1 \times 10^{17} \sim 1 \times 10^{20}$ atoms/cm³ の濃度で存在することを特徴とする半導体装置。

【請求項 2】

活性層と、前記活性層に接した絶縁膜と、前記絶縁膜に接した配線とを有する NTFT 及び PTFT でなる CMOS 回路を含む半導体装置であって、

前記 NTFT のみ前記配線の側部にサイドウォールを有し、

前記 NTFT の活性層は、チャンネル形成領域、第 1 不純物領域、第 2 不純物領域、第 3 不純物領域の順に並んだ構造を有し、

前記第 1 不純物領域、前記第 2 不純物領域及び前記第 3 不純物領域は各々異なる濃度で 15 族に属する元素を含み、

前記第 1 不純物領域は前記絶縁膜を介して前記サイドウォールと重なっており、

前記 PTFT の活性層は、チャンネル形成領域、第 4 不純物領域及び第 5 不純物領域の順に並んだ構造を有し、

前記第 4 不純物領域及び第 5 不純物領域は各々同一濃度で 13 族に属する元素

を含み、

前記第3不純物領域及び前記第5不純物領域には、前記活性層の結晶化に用いた触媒元素が $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で存在することを特徴とする半導体装置。

【請求項3】

活性層と、前記活性層に接した絶縁膜と、前記絶縁膜に接した配線とを有するNTFT及びPTFTでなるCMOS回路を含む半導体装置であって、

前記NTFTのみ前記配線の側部にサイドウォールを有し、

前記NTFTの活性層は、チャネル形成領域と、異なる濃度で15族に属する元素を含む少なくとも三種類の不純物領域とを含み、

前記少なくとも三種類の不純物領域は、前記チャネル形成領域からの距離が遠いほど前記15族に属する元素の濃度が高く、

前記PTFTの活性層は、チャネル形成領域と、同一濃度で13族に属する元素を含む二種類の不純物領域とを含み、

前記NTFT及び前記PTFTともに、前記チャネル形成領域から最も遠い不純物領域には、前記活性層の結晶化に用いた触媒元素が $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で存在することを特徴とする半導体装置。

【請求項4】

活性層と、前記活性層に接した絶縁膜と、前記絶縁膜に接した配線とを有するNTFT及びPTFTでなるCMOS回路を含む半導体装置であって、

前記NTFTのみ前記配線の側部にサイドウォールを有し、

前記NTFTの活性層は、チャネル形成領域、第1不純物領域、第2不純物領域、第3不純物領域の順に並んだ構造を有し、

前記第1不純物領域、前記第2不純物領域及び前記第3不純物領域は各々異なる濃度で同一の不純物を含み、

前記第1不純物領域、前記第2不純物領域、前記第3不純物領域の順に前記不純物の濃度が高く、

前記PTFTの活性層は、チャネル形成領域、第4不純物領域及び第5不純物領域の順に並んだ構造を有し、

前記第4不純物領域及び第5不純物領域は各々同一濃度で13族に属する元素を含み、

前記第3不純物領域及び前記第5不純物領域には、前記活性層の結晶化に用いた触媒元素が $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ の濃度で存在することを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項4において、前記活性層は単結晶半導体薄膜でなることを特徴とする半導体装置。

【請求項6】

請求項1乃至請求項4において、前記触媒元素とはNi、Ge、Co、Fe、Pd、Sn、Pb、Pt、Cu、AuまたはSiから選ばれた一種または複数種の元素であることを特徴とする半導体装置。

【請求項7】

請求項1乃至請求項4において、前記配線の少なくとも一部は窒化シリコン膜で覆われていることを特徴とする半導体装置。

【請求項8】

請求項1乃至請求項4において、前記サイドウォールはシリコンを主成分とする材料で形成されていることを特徴とする半導体装置。

【請求項9】

請求項1または請求項3において、前記N T F T及び前記P T F Tの前記触媒元素が存在する不純物領域には、前記15族に属する元素が互いに同一濃度で存在することを特徴とする半導体装置。

【請求項10】

請求項2または請求項4において、前記第3不純物領域及び前記第5不純物領域には前記15族に属する元素が互いに同一濃度で存在することを特徴とする半導体装置。

【請求項11】

請求項10において、前記15族に属する元素の濃度は前記第5不純物領域に存在する前記13族に属する元素の濃度よりも低いことを特徴とする半導体装置

【請求項 12】

請求項 2 または請求項 4 において、前記第 1 不純物領域に含まれる前記不純物の濃度は $1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ であり、前記第 2 不純物領域に含まれる前記不純物の濃度は $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ であることを特徴とする半導体装置。

【請求項 13】

請求項 1 乃至請求項 11 において、前記半導体装置とは液晶表示パネル、EL 表示パネルまたはイメージセンサであることを特徴とする半導体装置。

【請求項 14】

請求項 1 乃至請求項 11 において、前記半導体装置とはビデオカメラ、デジタルカメラ、プロジェクター、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータまたは携帯情報端末であることを特徴とする半導体装置。

【請求項 15】

絶縁表面を有する基板上に触媒元素を用いて結晶を含む半導体膜を形成する第 1 工程と、

前記結晶を含む半導体膜をパターニングして第 1 活性層及び第 2 活性層を形成する第 2 工程と、

前記第 1 活性層及び前記第 2 活性層の上に絶縁膜を形成する第 3 工程と、

前記絶縁膜の上に配線を形成する第 4 工程と、

前記配線をマスクとして、前記第 1 活性層及び前記第 2 活性層に 15 族に属する元素を添加する第 5 工程と、

前記配線の側部にサイドウォールを形成する第 6 工程と、

前記配線及び前記サイドウォールをマスクとして、前記第 1 活性層及び前記第 2 活性層に 15 族に属する元素を添加する第 7 工程と、

前記第 1 活性層の上にレジストマスクを形成し、前記第 2 活性層に 13 族に属する元素を添加する第 8 工程と、

前記第 1 活性層及び前記第 2 活性層の上にレジストマスクを形成し、前記第 1 活性層の一部及び前記第 2 活性層の一部に 15 族に属する元素を添加する第 9 工

程と、

窒化シリコン膜を形成する第 10 工程と、

熱処理により、前記第 1 活性層の一部及び前記第 2 活性層の一部に前記触媒元素を移動させる第 11 工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項 16】

請求項 15 において、前記第 9 工程で添加される前記 15 族に属する元素の濃度は、前記第 8 工程で添加される前記 13 族に属する元素の濃度よりも低いことを特徴とする半導体装置の作製方法。

【請求項 17】

請求項 15 において、前記サイドウォールはシリコンを主成分とする材料で形成されることを特徴とする半導体装置の作製方法。

【請求項 18】

請求項 15 において、前記結晶を含む半導体膜は単結晶半導体薄膜であることを特徴とする半導体装置の作製方法。

【請求項 19】

請求項 15 において、最終的に、前記第 1 活性層にはチャネル形成領域と、15 族に属する元素を含む第 1 不純物領域、第 2 不純物領域及び第 3 不純物領域が形成され、

前記第 2 活性層にはチャネル形成領域と、同一濃度で 13 族に属する元素を含む第 4 不純物領域及び第 5 不純物領域が形成され、

前記第 5 不純物領域には、前記第 3 不純物領域と同濃度で 15 族に属する元素が含まれていることを特徴とする半導体装置の作製方法。

【請求項 20】

請求項 15 または請求項 19 において、前記第 1 不純物領域、前記第 2 不純物領域、前記第 3 不純物領域の順に前記 15 族に属する元素の濃度を高くすることを特徴とする半導体装置の作製方法。

【請求項 21】

請求項 15 乃至請求項 20 において、前記半導体装置とは液晶表示パネル、EL

表示パネルまたはイメージセンサであることを特徴とする半導体装置の作製方法。

【請求項 22】

請求項 15 乃至請求項 20 において、前記半導体装置とはビデオカメラ、デジタルカメラ、プロジェクター、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータまたは携帯情報端末であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本願発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器の構成に関する。なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器も半導体装置である。

【0002】

【従来の技術】

近年、ポリシリコン膜を利用したTFTで回路を構成したアクティブマトリクス型液晶表示装置が注目されている。これはマトリクス状に配置された複数の画素によって液晶にかかる電界をマトリクス状に制御し、高精細な画像表示を実現するものである。

【0003】

この様なアクティブマトリクス型液晶表示装置は、解像度がXGA、SXGAと高精細になるに従い、画素数だけでも100万個を超えるようになる。そしてその全てを駆動するためのドライバー回路は非常に複雑かつ多くのTFTによって形成される。

【0004】

実際の液晶表示装置（液晶パネルともいう）に要求される仕様は厳しく、全ての画素が正常に動作するためには画素、ドライバーともに高い信頼性が確保され

なければならない。特に、ドライバー回路で異常が発生すると一列（または一行）の画素が全滅するといった線欠陥と呼ばれる不良を招くことにつながる。

【0005】

ところが、ポリシリコン膜を利用したTFTは信頼性の面でまだまだLSIなどに用いられるMOSFET（単結晶半導体基板上に形成されたトランジスタ）に及ばないとされている。そして、この弱点が克服されない限り、TFTでLSI回路を形成することは困難であるとの見方が強まっている。

【0006】

本出願人は、MOSFETには信頼性の面で三つの有利点があると考えた。そしてその理由として次のような推論をした。図2（A）に示したのはMOSFETの概略図である。201は単結晶シリコン基板に形成されたドレイン領域、202はLDD（ライトドープドレイン）領域である。また、203はフィールド絶縁膜であり、ゲート配線204の直下はゲート絶縁膜205である。

【0007】

この時、信頼性の面で三つの有利点があると考えた。まず第1の有利点は、LDD領域202からドレイン領域201に向かって不純物濃度に勾配がみられる点である。図2（B）に示すように、従来のMOSFETはLDD領域202からドレイン領域201に向かうにつれて次第に不純物濃度が高くなる。この勾配が信頼性を高めるのに効果があると考えた。

【0008】

次に第2の有利点は、LDD領域202とゲート配線204とがオーバーラップしている点である。この構造はGOLD（gate-drain overlapped LDD）やLATID（large-tilt-angle implanted drain）などが知られている。こうすることでLDD領域202の不純物濃度を低減することが可能となり、電界の緩和効果が大きくなってホットキャリア耐性が高まる。

【0009】

次に第3の有利点は、LDD領域202とゲート配線204との間にある程度の距離が存在する点である。これはフィールド絶縁膜203がゲート配線直下に潜り込むような形で形成されることによる。即ち、オーバーラップ部分のみゲー

ト絶縁膜の膜厚が厚くなった状態となるので、効果的な電界緩和が期待できる。

【0010】

このように、従来のMOSFETはTFTと比較するといくつかの有利点を持ち、その結果、高い信頼性を有すると考えられる。

【0011】

また、こういったMOSFETの利点をTFTに応用しようという試みもなされている。例えば、「M.Hatano,H.Akimoto,and T.Sakai,IEDM97 TECHNICAL DIGEST,p523-526,1997」ではシリコンで形成したサイドウォールを用いてGOLD構造を実現している。

【0012】

しかしながら、同論文に公開された構造では通常のLDD構造に比べてオフ電流（TFTがオフ状態にある時に流れる電流）が大きくなってしまいう問題があり、そのための対策が必要であった。

【0013】

【発明が解決しようとする課題】

以上示してきたように、本出願人はTFTとMOSFETとを比較した時に、TFTの構造上の問題が信頼性（特にホットキャリア耐性）に影響していると考えた。

【0014】

本願発明はそのような問題点を克服するための技術であり、MOSFETと同等またはそれ以上の信頼性を誇るTFTを実現することを課題とする。そして、そのようなTFTで回路を形成した半導体回路を有する信頼性の高い半導体装置を実現することを課題とするものである。

【0015】

【課題を解決するための手段】

本明細書で開示する発明の構成は、
 活性層と、前記活性層に接した絶縁膜と、前記絶縁膜に接した配線とを有するNTFT及びPTFTでなるCMOS回路を含む半導体装置であって、
 前記NTFTのみ前記配線の側部にサイドウォールを有し、

前記 NTF T の活性層は、チャンネル形成領域と、異なる濃度で 15 族に属する元素を含む少なくとも三種類の不純物領域とを含み、

前記少なくとも三種類の不純物領域のうち、前記チャンネル形成領域と接する不純物領域は、前記絶縁膜を介して前記サイドウォールと重なっており、

前記 PTF T の活性層は、チャンネル形成領域と、同一濃度で 13 族に属する元素を含む二種類の不純物領域とを含み、

前記 NTF T 及び前記 PTF T とともに、前記チャンネル形成領域から最も遠い不純物領域には、前記活性層の結晶化に用いた触媒元素が $1 \times 10^{17} \sim 1 \times 10^{20}$ atoms/cm³ の濃度で存在することを特徴とする。

【0016】

また、他の発明の構成は、

活性層と、前記活性層に接した絶縁膜と、前記絶縁膜に接した配線とを有する NTF T 及び PTF T でなる CMOS 回路を含む半導体装置であって、

前記 NTF T のみ前記配線の側部にサイドウォールを有し、

前記 NTF T の活性層は、チャンネル形成領域、第 1 不純物領域、第 2 不純物領域、第 3 不純物領域の順に並んだ構造を有し、

前記第 1 不純物領域、前記第 2 不純物領域及び前記第 3 不純物領域は各々異なる濃度で 15 族に属する元素を含み、

前記第 1 不純物領域は前記絶縁膜を介して前記サイドウォールと重なっており、

前記 PTF T の活性層は、チャンネル形成領域、第 4 不純物領域及び第 5 不純物領域の順に並んだ構造を有し、

前記第 4 不純物領域及び第 5 不純物領域は各々同一濃度で 13 族に属する元素を含み、

前記第 3 不純物領域及び前記第 5 不純物領域には、前記活性層の結晶化に用いた触媒元素が $1 \times 10^{17} \sim 1 \times 10^{20}$ atoms/cm³ の濃度で存在することを特徴とする。

【0017】

また、他の発明の構成は、

活性層と、前記活性層に接した絶縁膜と、前記絶縁膜に接した配線とを有する NTF T 及び PTF T なる CMOS 回路を含む半導体装置であって、

前記 NTF T のみ前記配線の側部にサイドウォールを有し、

前記 NTF T の活性層は、チャネル形成領域と、異なる濃度で 15 族に属する元素を含む少なくとも三種類の不純物領域とを含み、

前記少なくとも三種類の不純物領域は、前記チャネル形成領域からの距離が遠いほど前記 15 族に属する元素の濃度が高く、

前記 PTF T の活性層は、チャネル形成領域と、同一濃度で 13 族に属する元素を含む二種類の不純物領域とを含み、

前記 NTF T 及び前記 PTF T とともに、前記チャネル形成領域から最も遠い不純物領域には、前記活性層の結晶化に用いた触媒元素が $1 \times 10^{17} \sim 1 \times 10^{20}$ atoms/cm³ の濃度で存在することを特徴とする。

【0018】

また、他の発明の構成は、

活性層と、前記活性層に接した絶縁膜と、前記絶縁膜に接した配線とを有する NTF T 及び PTF T なる CMOS 回路を含む半導体装置であって、

前記 NTF T のみ前記配線の側部にサイドウォールを有し、

前記 NTF T の活性層は、チャネル形成領域、第 1 不純物領域、第 2 不純物領域、第 3 不純物領域の順に並んだ構造を有し、

前記第 1 不純物領域、前記第 2 不純物領域及び前記第 3 不純物領域は各々異なる濃度で同一の不純物を含み、

前記第 1 不純物領域、前記第 2 不純物領域、前記第 3 不純物領域の順に前記不純物の濃度が高く、

前記 PTF T の活性層は、チャネル形成領域、第 4 不純物領域及び第 5 不純物領域の順に並んだ構造を有し、

前記第 4 不純物領域及び第 5 不純物領域は各々同一濃度で 13 族に属する元素を含み、

前記第 3 不純物領域及び前記第 5 不純物領域には、前記活性層の結晶化に用いた触媒元素が $1 \times 10^{17} \sim 1 \times 10^{20}$ atoms/cm³ の濃度で存在することを特徴と

する。

【0019】

また、本願発明では活性層の構造（特にNチャネル型TFTの場合）に大きな特徴があり、そのため作製方法にも特徴がある。本願発明を実施するための作製方法に関する発明の構成は、

絶縁表面を有する基板上に触媒元素を用いて結晶を含む半導体膜を形成する第1工程と、

前記結晶を含む半導体膜をパターニングして第1活性層及び第2活性層を形成する第2工程と、

前記第1活性層及び前記第2活性層の上に絶縁膜を形成する第3工程と、

前記絶縁膜の上に配線を形成する第4工程と、

前記配線をマスクとして、前記第1活性層及び前記第2活性層に15族に属する元素を添加する第5工程と、

前記配線の側部にサイドウォールを形成する第6工程と、

前記配線及び前記サイドウォールをマスクとして、前記第1活性層及び前記第2活性層に15族に属する元素を添加する第7工程と、

前記第1活性層の上にレジストマスクを形成し、前記第2活性層に13族に属する元素を添加する第8工程と、

前記第1活性層及び前記第2活性層の上にレジストマスクを形成し、前記第1活性層の一部及び前記第2活性層の一部に15族に属する元素を添加する第9工程と、

窒化シリコン膜を形成する第10工程と、

熱処理により、前記第1活性層の一部及び前記第2活性層の一部に前記触媒元素を移動させる第11工程と、

を有することを特徴とする。

【0020】

【発明の実施の形態】

本願発明の一実施形態について図1を用いて説明する。なお、図1では断面図を示し、上面からみた図を図13に示す。図1において、101は絶縁表面を有

する基板である。例えば酸化シリコン膜を設けたガラス基板、石英基板、ステンレス基板、金属基板、セラミックス基板またはシリコン基板を用いることができる。

【0021】

本願発明の特徴は、Nチャネル型TFT（以下、NTFTという）の活性層の構成にある。NTFTの活性層は、チャネル形成領域102、一对の第1不純物領域103、一对の第2不純物領域104及び一对の第3不純物領域105を含んで形成されている。なお、各不純物領域に添加されている不純物とは15族に属する元素（代表的にはリン又は砒素）である。

【0022】

この時、チャネル形成領域102（110も同様）は真性半導体層又は $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度でボロンが添加された半導体層でなる。ボロンはしきい値電圧の制御用やパンチスルー防止用の不純物であり、同様の効果を生むものであれば他の元素で代用することもできる。その場合も濃度はボロンと同程度に添加される。

【0023】

なお、本願発明で用いることのできる半導体層とはシリコン層又はシリコンゲルマニウム層など、シリコンを主成分とする半導体層だけでなく、ガリウム砒素などの化合物半導体層やゲルマニウム単層を用いることも可能である。また、本願発明は活性層に非晶質半導体（アモルファスシリコンなど）を用いたTFTにも結晶を含む半導体（単結晶半導体薄膜、多結晶半導体薄膜、微結晶半導体薄膜を含む）を用いたTFTにも適用できる。

【0024】

また、NTFTの第1不純物領域103は $0.1 \sim 1 \mu\text{m}$ （代表的には $0.1 \sim 0.5 \mu\text{m}$ 、好ましくは $0.1 \sim 0.2 \mu\text{m}$ ）の長さを有し、 $1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{15} \sim 5 \times 10^{16} \text{ atoms/cm}^3$ 、好ましくは $1 \times 10^{16} \sim 2 \times 10^{16} \text{ atoms/cm}^3$ ）の濃度で15族に属する元素（代表的にはリン）を含む。なお、この時の不純物濃度を (n^-) で表すことにする（本明細書では n^- 領域を第1不純物領域という）。

【0025】

なお、本明細書中において、特に指定がない限り「不純物」とは13族または15族に属する元素を指して用いる。また、各不純物領域は作製プロセスの過程で領域の大きさ（面積）が変化するが、本明細書中では面積が変化しても濃度が変化しない限りは同一の符号で説明するものとする。

【0026】

また、第2不純物領域104は、 $0.5 \sim 2 \mu\text{m}$ （代表的には $1 \sim 1.5 \mu\text{m}$ ）の長さを有し、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{atoms/cm}^3$ （代表的には $1 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$ 、好ましくは $5 \times 10^{17} \sim 1 \times 10^{18} \text{atoms/cm}^3$ ）の濃度で15族に属する元素を含む。この第2不純物領域に含まれる不純物濃度は第1不純物領域に含まれる不純物濃度の5～10倍となるように調節すれば良い。なお、この時の不純物濃度を（n）で表すことにする（本明細書ではn領域を第2不純物領域という）。

【0027】

また、第3不純物領域105は、 $2 \sim 20 \mu\text{m}$ （代表的には $3 \sim 10 \mu\text{m}$ ）の長さを有し、 $1 \times 10^{19} \sim 1 \times 10^{21} \text{atoms/cm}^3$ （代表的には $1 \times 10^{20} \sim 5 \times 10^{20} \text{atoms/cm}^3$ ）の濃度で15族に属する元素を含む。この第3不純物領域105はソース配線又はドレイン配線とTFTとを電氣的に接続させるためのソース領域またはドレイン領域となる。なお、この時の不純物濃度を（ n^+ ）で表すことにする（本明細書では n^+ 領域を第3不純物領域という）。

【0028】

さらに、本願発明では、この第3不純物領域105がチャネル形成領域102の内部から、チャネル形成領域の結晶化に用いた触媒元素をゲッタリングする上で非常に重要な役割を果たす。その効果について簡単に説明する。

【0029】

本願発明では非晶質半導体膜の結晶化において、結晶化を助長するための触媒元素（代表的にはニッケル）を用いる。しかし、ニッケルは金属元素であるため、チャネル形成領域に残存してしまうとリーク電流の要因ともなりうる。即ち、触媒元素を用いた後で、その触媒元素を少なくともチャネル形成領域内から除去

するための工程を設けることが望ましい。

【0030】

本願発明は触媒元素を除去するためにソース領域及びドレイン領域に存在する15族に属する元素（好ましくはリン）を用いることに特徴がある。即ち、ソース領域及びドレイン領域（第3不純物領域105）を形成した後で、熱処理を行うことによりチャンネル形成領域内に残存するニッケルを第3不純物領域105にゲッタリング（捕獲）させるのである。こうしてチャンネル形成領域102内から結晶化に用いた触媒元素を除去することができる。

【0031】

従って、第3不純物領域105にはゲッタリングされた触媒元素が集まって高濃度に存在する。本出願人がSIMS（質量二次イオン分析）で調べた結果、 $1 \times 10^{18} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{18} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ ）の濃度で触媒元素が存在することが分かった。ただし、第3不純物領域105は電極としての機能を果たせば良いので、触媒元素が大量に存在していても何ら問題は生じない。

【0032】

その一方で、チャンネル形成領域102中の触媒元素の濃度はゲッタリング作用により大幅に低減（または除去）された。本出願人がSIMSで調べた結果、チャンネル形成領域102中の触媒元素の濃度は $2 \times 10^{17} \text{ atoms/cm}^3$ 以下（代表的には $1 \times 10^{14} \sim 5 \times 10^{16} \text{ atoms/cm}^3$ ）にまで低減されていることが分かった。このように、同一活性層内であっても位置によって触媒元素の濃度に大きな差（100～1000倍の差）が見られる点も本願発明の特徴となる。

【0033】

以上のように本願発明のNTFTの活性層は、最終的に、チャンネル形成領域以外に異なる濃度で同一の不純物を含む少なくとも三種類の不純物領域を含む点に特徴がある。このような構造とすることによってチャンネル形成領域102から第1不純物領域103、第2不純物領域104、第3不純物領域105と遠ざかるにつれて（チャンネル形成領域からの距離が遠いほど）不純物（15族に属する元素）濃度が次第に高くなるような構成を実現できる。

【0034】

本出願人の意図するところは、従来例に述べたようなMOSFETにみられるLDD部での濃度勾配を、複数の不純物領域で意図的に形成することで実現することにある。従って、不純物領域が三つ以上存在しても構わない。

【0035】

こうして形成された活性層の上にはゲート絶縁膜106が形成されている。また、ゲート絶縁膜106上にはゲート配線107が設けられている。ゲート配線107の材料としては、タンタル(Ta)、窒化タンタル(TaN)、チタン(Ti)、クロム(Cr)、タングステン(W)、モリブデン(Mo)、シリコン(Si)、アルミニウム(Al)又は銅(Cu)などの単体金属層、或いはこれらを組み合わせた積層構造を用いれば良い。

【0036】

積層構造の代表例としてはTa/Al、Ti/Al、Cu/W、Al/WまたはW/Moの積層構造などが挙げられる。また、金属シリサイドを設けた構造(具体的にはSi/WSix、Si/TiSix、Si/CoSixまたはSi/MoSixなど導電性を持たせたシリコンと金属シリサイドとを組み合わせた構造)としても良い。

【0037】

ただし、シリコンでなるサイドウォールを形成する際に、シリコンとの選択比の高い材料が上面に現れるようにしておくことが好ましい。これはサイドウォールの形成時にゲート配線までもエッチングされてしまうのを防ぐためである。さもないと、サイドウォールの形成に際して、ストッパーとして上面を保護膜で保護しておくことが必要となる。

【0038】

また、後述するが本願発明のCMOS回路ではPTFTにはサイドウォールを設けない構造が有効である。従って、後にサイドウォールのみを除去する工程を含むため、サイドウォールの除去時にゲート配線がエッチングされないような材料選択が必要である。その点、従来例に述べた論文ではシリコンゲートとシリコンサイドウォールとが直接接する構造を有しているため、同論文の構造をそのまま用いても本願発明のCMOS回路を実現することはできない。

【0039】

また、前述したゲッタリング工程の熱処理の際、ゲート配線 107（または 113）の耐熱性等に注意が必要である。アルミニウムなどの低融点金属を含む場合には熱処理温度に制限が生じる。また、タンタルは非常に酸化されやすいので窒化シリコン膜などの保護膜を設け、熱処理雰囲気タンタルが触れないように保護しておく必要がある。

【0040】

図 1 に示した窒化シリコン膜 108 はそのために設けてある保護膜である。この窒化シリコン膜 108 に微量のボロンを添加しておくことは有効である。こうすることで熱伝導性が高まり、放熱効果を付与することができる。

【0041】

このゲート配線 107 の側壁（側部）にはサイドウォール 109 が設けられている。本願発明ではサイドウォール 109 としてシリコンを主成分とする層（具体的にはシリコン層又はシリコンゲルマニウム層）を用いる。特に真性なシリコン層を用いることが望ましい。勿論、非晶質、結晶質または微結晶のいずれでも良い。

【0042】

本願発明ではサイドウォール 109 が第 1 不純物領域 103 上にオーバーラップする（絶縁膜 106 を介して第 1 不純物領域 103 とサイドウォール 109 が重なっている）ような構造とする。このような構造とすることで MOSFET の GOLD 構造や LATID 構造の如き利点を得ることが可能である。

【0043】

また、そのような構造を実現するためには、サイドウォール 109 によって第 1 不純物領域 103 に電圧が印加されるようにしておく必要がある。サイドウォールを真性シリコン層で形成しておけば、抵抗値は高いがリーク電流もある程度発生するのでサイドウォール部分で蓄積容量による電圧残りを作らないという利点がある。

【0044】

また、TFT の場合、活性層の膜厚が 20 ～ 50 nm と薄くなるため動作してい

る時は空乏層が完全に活性層底部まで広がり、完全空乏型（FD型：Fully-Depression type）になる。FD型TFTをゲートオーバーラップ型にすることでホットキャリアを発生しにくい方向に電界が形成される。逆にFD型TFTで一般的なオフセット構造とすると、ホットキャリア注入を促進する方向に電界が形成されてしまう恐れがある。

【0045】

以上のような構造とすることで、本願発明のNTFTはMOSFETと同等又はそれ以上の高い信頼性を実現することができる。また、サイドウォール109を用いて第1不純物領域103にゲート電圧を印加することでゲートオーバーラップ構造と同様の効果を得ることができる。

【0046】

次に、第1不純物領域103、第2不純物領域104、及び第3不純物領域105を並べることで、チャネル形成領域102からソース領域（またはドレイン領域）105に向かって徐々に不純物濃度が高くなるような構造を実現できる。こうすることによってTFTのオフ電流を効果的に抑制することができる。

【0047】

さらに、第2不純物領域104がゲート電圧からある程度距離をおいて設けられるので、図2に示したMOSFETのオーバーラップ部分のように電界緩和の効果が得られる。また、第1不純物領域103で発生したホットキャリアは真上のサイドウォール109に向かって注入されるので、チャネル形成領域102の真上にトラップ準位を形成することがない。

【0048】

以上は本願発明のNTFTの説明であるが、Pチャネル型TFT（以下、PTFTという）は基本的にLDD領域やオフセット領域を設けない構造とする。勿論、LDD領域やオフセット領域を設ける構造としても構わないが、PTFTはもともと信頼性が高いため、オン電流を稼いでNTFTとの特性バランスをとった方が好ましい。本願発明を図1に示すようにCMOS回路に適用する場合には得にこの特性バランスが重要である。ただし、本願発明の構造をPTFTに適用しても構わない。

【0049】

図1において、PTFTの活性層はチャンネル形成領域110、第4不純物領域111及び第5不純物領域112とで構成される。本明細書中では説明を簡易にするため第4不純物領域111と第5不純物領域112とを区別しているが、実際にはどちらもPTFTのソース領域又はドレイン領域として機能する。

【0050】

なお、この時、第4不純物領域111には13族から選ばれた元素（代表的にはボロン）が $5 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$ の濃度で添加されている。この不純物濃度を(p^{++})で表すことにする（本明細書では p^{++} 領域を第4不純物領域という）。

【0051】

また、第5不純物領域112にも13族から選ばれた元素が第4不純物領域111と同一濃度で存在している。さらに、この領域には15族から選ばれた元素が第3不純物領域105と同一濃度に存在する。そのため第5不純物領域112は(n^+ 、 p^{++})領域と表すことにする（本明細書では n^+ 、 p^{++} 領域を第5不純物領域という）。ただし、15族に属する元素よりも13族に属する元素の方が多く添加されているため、P型を示すことに変わりはない。

【0052】

即ち、第5不純物領域112は13族に属する元素だけでなく15族に属する元素も高濃度に含まれているため、十分なゲッタリング効果を発揮する。従って、第5不純物領域112にも結晶化に用いた触媒元素が $1 \times 10^{18} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{18} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ ）の濃度で存在する。勿論、チャンネル形成領域110に含まれる触媒元素の濃度は、第5不純物領域112の $1/100 \sim 1/1000$ であり、濃度としては $2 \times 10^{17} \text{ atoms/cm}^3$ 以下（代表的には $1 \times 10^{14} \sim 5 \times 10^{16} \text{ atoms/cm}^3$ ）となる。

【0053】

また、本願発明によるCMOS回路の特徴の一つとしてNTFTにはサイドウォール109が存在し、PTFTにはサイドウォールが除去されて残らないという点も挙げられる。これはNTFTをゲートオーバーラップ構造とし、PTFT

をLDDもオフセットも設けない構造とするためである。

【0054】

こうしてNTFT及びPTFTを形成したら、第1層間絶縁膜114で覆い、ソース配線115、116及びドレイン配線117を設ける。図1の構造ではこれら配線を設けた後で保護膜として窒化シリコン層118を形成してパッシベーション効果を高めている。その窒化シリコン層118上には樹脂材料でなる第2層間絶縁膜119が設けられる。樹脂材料で限定する必要はないが、平坦性を確保する意味で樹脂材料を用いることは効果的である。

【0055】

ここまでNTFTとPTFTとを相補的に組み合わせてなるCMOS回路を例にとって説明してきたが、NTFTを用いたNMOS回路やNTFTで形成された画素TFTに本願発明を適用することも可能である。勿論、CMOS回路を基本単位としたさらに複雑な半導体回路に適用することもできる。

【0056】

また、本願発明の最も特徴的な点は、NTFTのLDD領域がチャネル形成領域から遠ざかるにつれて不純物濃度が高くなるように多段階に設けられ、且つ、チャネル形成領域内の触媒元素（結晶化で用いられた元素）がTFTの電気特性に支障をきたさないレベルにまで低減されている点にある。

【0057】

従って、この構成を含む限り、TFT構造が限定される必要はなく、トップゲート構造（代表的にはプレーナ構造）にもボトムゲート構造（代表的には逆スタガ構造）にも本願発明を適用することができる。

【0058】

（本願発明のNTFT構造の利点）

本願発明のNTFTは第1不純物領域（1stLDD領域）と第2不純物領域（2ndLDD領域）というように、LDD領域を複数設け、そのうちの一つに対してゲート電極をオーバーラップさせるという構造上の特徴がある。

【0059】

ここで本願発明の優位性を従来の構造と比較して説明する。図18（A）、（

B)はLDD構造のないNTFTとその電気特性(ゲート電圧 V_g 対ドレイン電流 I_d 特性)である。同様に、図18(C)、(D)は通常のLDD構造の場合を、図18(E)、(F)はいわゆるGOLD構造の場合を、そして図18(G)、(H)には本願発明のNTFTの場合を示す。

【0060】

なお、図面中において n^+ はソース領域またはドレイン領域を、channelはチャネル形成領域を、 n^- はLDD領域(n は第2のLDD領域)を指す。また、 I_d はドレイン電流、 V_g はゲート電圧である。

【0061】

図18(A)、(B)に示すようにLDD構造がない場合、オフ電流は高く、オン電流(TFTがオン状態にある時のドレイン電流)やオフ電流が劣化しやすい。

【0062】

次に、LDD構造の場合、オフ電流はかなり抑えられ、オン電流もオフ電流も劣化が抑制できる。しかしながら、オン電流の劣化を完全に抑えられているわけではない。(図18(C)、(D))

【0063】

次に、LDD領域とゲート電極とがオーバーラップした構造(図18(C)、(D))であるが、この構造は従来のLDD構造においてオン電流の劣化を抑制することに重点を置いた構造となっている。

【0064】

この場合、オン電流の劣化を十分に抑えることができる反面、通常のLDD構造よりもややオフ電流が高いという問題を持つ。従来例で述べた論文はこの構造を採用しており、本願発明はこのオフ電流が高いという問題を認識した上で、解決するための構造を模索したのである。

【0065】

そして、本願発明の構造は図18(G)、(H)に示すように、内側(チャネル形成領域に近い側)のLDD領域はゲート電極とオーバーラップさせ、外側のLDD領域はゲート電極とオーバーラップしないように形成した。この構造を採

用することで、オン電流の劣化を抑制する効果をそのままに、オフ電流を低減することが可能となった。

【0066】

本出願人は図18(E)、(F)に示したような構造の場合に何故オフ電流が高くなってしまいかを次のように推測した。この説明を、図19を用いて行う。

【0067】

NFTがオフ状態にある時、ゲート電極41にはマイナス数十ボルトといった負の電圧が印加される。その状態でドレイン領域42にプラス数十ボルトの正の電圧がかかってしまうと、ゲート絶縁膜43のドレイン側端部に非常に大きな電界が形成される。

【0068】

この時、図19(A)に示すようにLDD領域44には正45が誘起される。この時のエネルギーバンド図を図19(B)に示す。即ち、ドレイン領域42、LDD領域44、チャネル形成領域46をつなぐ小数キャリアによる電流経路が形成されてしまう。この電流経路がオフ電流の増加を招くと考えたのである。

【0069】

本出願人は、このような電流経路を途中で遮断するためにはゲート電極とオーバーラップしない位置に別の抵抗体、即ち第2のLDD領域を設ける必要があると考えた。このようにして本願発明の構造に想到したのである。

【0070】

以上に示したような本願発明の構成について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0071】

【実施例】

〔実施例1〕

本実施例では図1に示したCMOS回路の作製方法について図3、図4を用いて説明する。

【0072】

まず、ガラス基板301上に酸化シリコン膜302でなる下地膜を200nm厚

に形成した。下地膜は窒化シリコン膜を積層しても良いし、窒化シリコン膜のみであっても良い。成膜方法はプラズマCVD法、熱CVD法またはスパッタ法を用いれば良い。勿論、窒化シリコン膜にボロンを添加することは放熱効果を高める上で有効である。

【0073】

次に、酸化シリコン膜302上に50nm厚のアモルファスシリコン膜（非晶質シリコン膜）をプラズマCVD法、熱CVD法またはスパッタ法により形成した。その後、特開平7-130652号公報に記載の技術を用いてアモルファスシリコン膜の結晶化を行い、結晶を含む半導体膜を形成した。この工程について図5を用いて説明する。

【0074】

まずガラス基板501上に下地膜として酸化シリコン膜502を設け、その上にアモルファスシリコン膜503を形成した。本実施例では酸化シリコン膜502とアモルファスシリコン膜503とをスパッタ法により連続的に成膜した。次に、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液を塗布してニッケル含有層504を形成した。（図5（A））

【0075】

なお、ニッケル（Ni）以外にも、ゲルマニウム（Ge）、鉄（Fe）、パラジウム（Pd）、錫（Sn）、鉛（Pb）、コバルト（Co）、白金（Pt）、銅（Cu）、金（Au）、シリコン（Si）といった元素から選ばれた一種または複数種の元素を用いても良い。

【0076】

次に、500℃1時間の水素だし工程の後、500～650℃で4～12時間（本実施例では550℃14時間）の熱処理を行い、ポリシリコン膜505を形成した。こうして得られたポリシリコン膜505は非常に優れた結晶性を有することが分かっている。（図5（B））

【0077】

ただし、この時、ポリシリコン膜505の内部には結晶化に用いたニッケルが高濃度に存在していた。本出願人がSIMS測定を行った結果、 $1 \times 10^{18} \sim 1$

$\times 10^{19} \text{ atoms/cm}^3$ の濃度で存在することが分かった。このニッケルはチャネル形成領域内で容易にシリサイド化しうるため、抵抗の低い電流パス（リーク電流の通り道）として機能することが懸念される。

【0078】

なお、本出願人は実際の TFT の電気特性を調べているが、この程度のニッケル濃度であれば TFT の電気特性に著しい悪影響を与えないことを確かめている。しかしながら、悪影響を与えうる可能性がある限り、少なくともチャネル形成領域からは除去することが望ましいと言える。そのためのゲッタリング工程に関しては後述することにする。

【0079】

こうしてポリシリコン膜 505 を形成したら、島状にパターニングして図 1（A）に示す活性層 303、304 を形成した。

【0080】

なお、ポリシリコン膜 505 を形成した後、エキシマレーザー光を照射して結晶性を高めても良い。また、活性層 303、304 を形成した後に行っても構わない。エキシマレーザー光の照射工程は公知の技術を用いれば良いので説明は省略する。

【0081】

次に、活性層 303、304 を覆って酸化窒化シリコン膜（ SiO_xN_y で表される）でなるゲート絶縁膜 305 を形成し、その上にタンタルと窒化タンタルの積層構造でなるゲート配線（ゲート電極を含む）306、307 を形成した。（図 3（A））

【0082】

ゲート絶縁膜 305 の膜厚は 120 nm とした。勿論、酸化窒化シリコン膜以外に酸化シリコン膜、酸化シリコン膜と窒化シリコン膜との積層構造を用いても構わない。また、ゲート配線 306、307 は他の金属を用いることもできるが、後の工程を考慮するとシリコンとのエッチング選択比の高い材料が望ましい。

【0083】

こうして図 3（A）の状態が得られたら、1 回目のリンドープ工程（リンの添

加工程)を行った。ここではゲート絶縁膜305を通して添加するため、加速電圧は80KeVと高めに設定した。また、こうして形成された第1不純物領域308、309は長さ(幅)が $0.5\mu\text{m}$ 、リン濃度が $1\times 10^{17}\text{atoms/cm}^3$ となるように調節した。なお、リンの代わりに砒素を用いても良かった。

【0084】

また、第1不純物領域308、309はゲート配線306、307をマスクとして自己整合的に形成された。この時、ゲート配線306、307の直下には真性なポリシリコン層が残り、チャネル形成領域310、311が形成された。ただし、実際には多少ゲート配線の内側に回り込んで添加される分もあるため、ゲート配線306、307と第1不純物領域308、309とがオーバーラップするような構造となった。(図3(B))

【0085】

次に、ゲート配線306、307を覆うようにして $0.1\sim 1\mu\text{m}$ (代表的には $0.2\sim 0.3\mu\text{m}$)の厚さのアモルファスシリコン層を形成し、塩素系ガスを用いた異方性エッチングを行うことによりサイドウォール312、313を形成した。サイドウォール312、313の幅(ゲート配線の側部からみた厚さ)は $0.2\mu\text{m}$ とした。(図3(C))

【0086】

なお、本実施例ではアモルファスシリコン層として不純物を何も添加しないものを用いるため、真性なシリコン層(アンドープシリコン層)でなるサイドウォールが形成された。

【0087】

図3(C)の状態が得られたら、2回目のリンドーブ工程を行った。この場合も1回目と同様に加速電圧を80KeVとした。また、今回形成された第2不純物領域314、315にはリンが $1\times 10^{18}\text{atoms/cm}^3$ の濃度で含まれるようにドーブ量を調節した。。

【0088】

なお、図3(D)に示すリンドーブ工程ではサイドウォール312、313の真下のみに第1不純物領域308、309が残る。即ち、この工程で図1に示し

た第1不純物領域103が画定した。この第1不純物領域308はNTFTの1stLDD領域として機能することになる。

【0089】

また、図3(D)の工程ではサイドウォール312、313にもリンが添加された。実際には加速電圧が高いためリンの濃度プロファイルのテール（裾）がサイドウォール内部に及ぶような状態でリンが分布していた。このリンでサイドウォールの抵抗成分を調節することもできる反面、リンの濃度分布が極端にばらつくと第1不純物領域308に印加されるゲート電圧が素子毎に変動する要因ともなりかねないのでドーピング時は精密な制御が必要である。

【0090】

次に、NTFTを覆うレジストマスク316を形成し、PTFTのサイドウォール313を除去した。その後、ボロンドープ工程（ボロンの添加工程）を行った。ここでは加速電圧を70KeVとし、形成された第4不純物領域317に $3 \times 10^{21} \text{atoms/cm}^3$ の濃度でボロンが含まれるようにドーズ量を調節した。この時のボロン濃度を(p^{++})で表すことにする。（図4(A)）

【0091】

このボロンドープ工程によってPTFT側に形成されていた第1不純物領域309及び第2不純物領域315は完全に反転してP型になる。この時に添加されるボロン濃度は、次に行われる3回目のリンドープ工程で添加されるリン濃度よりも高く設定しておかなければならない。その点については後述する。

【0092】

次に、レジストマスク316を除去して、新たにレジストマスク318、319を形成した。その後、3回目のリンドープ工程を行った。加速電圧は90KeVとした。なお、本実施例では第3不純物領域320及び第5不純物領域321にリンが $5 \times 10^{20} \text{atoms/cm}^3$ の濃度で含まれるようにドーズ量を調節した。（図4(B)）

【0093】

この工程ではレジストマスク318によって遮蔽された部分（NTFT側）にはリンが添加されないため、その部分には第2不純物領域314がそのまま残っ

た。即ち、この工程によって図 1 に示す第 2 不純物領域 104 が画定した。また同時に、図 1 に示す第 3 不純物領域 105 が画定した。この第 2 不純物領域 314 は 2nd LDD 領域として機能し、第 3 不純物領域 105 はソース領域又はドレイン領域として機能することになる。

【0094】

さらに、PTFT となる活性層ではレジストマスク 319 によって遮蔽された部分の下に第 4 不純物領域 317 が残った。即ち、この工程によって図 1 に示す第 4 不純物領域 111 が画定した。また同時に、図 1 に示す第 5 不純物領域 112 が画定した。

【0095】

なお、本実施例では第 3 不純物領域 320 及び第 5 不純物領域 321 のリン濃度が少なくとも $1 \times 10^{19} \text{atoms/cm}^3$ 以上（好ましくは $1 \times 10^{20} \sim 5 \times 10^{21} \text{atoms/cm}^3$ ）となるようにリンの添加量を調節することが望ましい。これ以下の濃度であると、リンによるゲッタリング効果を期待できなくなる恐れがある。

【0096】

また、この工程で添加されるリン濃度は前述のボロンドープ時に添加されるボロン濃度よりも低いいため、第 5 不純物領域 321 は P 型を維持したままとなる。従って、第 4 不純物領域 317 と第 5 不純物領域 321 とを併せてソース領域又はドレイン領域と考えて良い。

【0097】

また、本実施例では PTFT に対して LDD 領域もオフセット領域も形成していないが、PTFT はもともと信頼性が高いので問題はなく、却って LDD 領域等を設けない方がオン電流を稼ぐことができるので都合が良い場合もある。

【0098】

こうして最終的には図 4 (B) に示すように、NTFT の活性層にはチャネル形成領域、第 1 不純物領域、第 2 不純物領域及び第 3 不純物領域が形成され、PTFT の活性層にはチャネル形成領域、第 4 不純物領域及び第 5 不純物領域が形成される。

【0099】

そのようにして図4 (B) の状態が得られたら、レジストマスク 318、319 を除去した後、保護膜として窒化シリコン膜 322 を形成した。この時、窒化シリコン膜の膜厚は 1~100nm (代表的には 5~50nm、好ましくは 10~30nm) とした。

【0100】

次に、500~650℃ (代表的には 550~600℃) の処理温度で 2~24 時間 (代表的には 4~12 時間) の熱処理工程を行った。本実施例では窒素雰囲気中で 600℃ 12 時間の熱処理とした。(図4 (C))

【0101】

この熱処理工程は、第1不純物領域 308、第2不純物領域 314、第3不純物領域 320、第4不純物領域 317 及び第5不純物領域 321 に添加された不純物 (リン及びボロン) を活性化させると同時に、チャネル形成領域 310、311 に残存しているニッケルをゲッタリングさせる目的で行われる。

【0102】

この熱処理工程では、第3不純物領域 320 と第5不純物領域 321 に添加されているリンがニッケルをゲッタリングする。即ち、ニッケルが矢印の方向に移動し、リンと結合することによって捕獲される。そのため、図4 (C) に示した第3不純物領域 323 と第5不純物領域 324 には高濃度にニッケルが集まっていた。具体的には、両不純物領域に $1 \times 10^{18} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{18} \sim 5 \times 10^{19} \text{ atoms/cm}^3$) の濃度でニッケルが存在した。また同時に、チャネル形成領域 310、311 内のニッケル濃度は $2 \times 10^{17} \text{ atoms/cm}^3$ 以下 (代表的には $1 \times 10^{14} \sim 5 \times 10^{16} \text{ atoms/cm}^3$) にまで低減されていることが分かった。

【0103】

この時、保護膜として設けた窒化シリコン膜 322 はゲート配線の材料として用いたタンタル膜が酸化されるのを防ぐ。ゲート配線が酸化されにくいか、酸化によって形成される酸化膜がエッチングしやすいものであれば問題はないが、タンタル膜は酸化されやすいばかりでなく、酸化タンタル膜が非常にエッチングしにくい膜であるため、窒化シリコン膜 322 を設けることが望ましかった。

【0104】

こうして図4（C）に示す熱処理工程（ゲッタリング工程）が終了したら、第1層間絶縁膜325を1 μ mの厚さに形成した。第1層間絶縁膜325としては酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、有機樹脂膜またはそれらの積層膜を用いることができる。本実施例ではアクリル樹脂膜を採用した。

【0105】

第1層間絶縁膜325を形成したら、金属材料でなるソース配線326、327及びドレイン配線328を形成した。本実施例ではチタンを含むアルミニウム膜をチタンで挟み込んだ構造の積層配線を用いた。

【0106】

また、第1層間絶縁膜325としてBCB（ベンゾシクロブテン）と呼ばれる樹脂膜を用いた場合、平坦性が高まると同時に、配線材料として銅を用いることが可能となる。銅は配線抵抗が低いため、配線材料として非常に有効である。

【0107】

こうしてソース配線及びドレイン配線を形成したら、パッシベーション膜として50nm厚の窒化シリコン膜328を形成した。さらにその上には保護膜として第2層間絶縁膜329を形成した。この第2層間絶縁膜329としては前記第1層間絶縁膜325と同様の材料を用いることが可能である。本実施例では50nm厚の酸化シリコン膜上にアクリル樹脂膜を積層した構造を採用した。

【0108】

以上のような工程を経て、図4（D）に示すような構造のCMOS回路が完成した。本実施例によって形成されたCMOS回路は、NTFTが優れた信頼性を有するため、回路全体として信頼性が大幅に向上した。また、本実施例のような構造とすると、NTFTとPTFTとの特性バランス（電気特性のバランス）が良くなるため、動作不良を起こしにくくなることが分かった。

【0109】

また、従来特開平7-130652号公報記載の技術を用いた際に懸念されたチャネル形成領域内のニッケル（触媒元素）の影響は、本実施例に示したようなゲッタリング工程を行うことにより解決された。

【0110】

なお、本実施例で説明した構造はあくまで一実施例であり、図3、図4に示した構造に限定される必要はない。本願発明で重要な点はN T F Tの活性層の構造であり、その点さえ違えなければ本願発明の効果を得ることができる。

【0111】

〔実施例2〕

実施例1ではサイドウォールとして意図的に不純物を添加しないundoped-Si（真性なシリコン層またはアンドープシリコン層）を用いたが、本実施例では成膜時にリンを添加したリンドープシリコン層（ n^+ -Si層）またはボロンドープシリコン層（ p^+ -Si層）を用いた。勿論、非晶質でも結晶質でも良いし、微結晶でも良かった。

【0112】

リンやボロンを添加したシリコン層を用いることでサイドウォール部分が全体的に低抵抗化され、図3（D）の工程で懸念されたリン濃度のプロファイルばらつきに起因する特性変動の可能性を排除することができた。

【0113】

〔実施例3〕

実施例1ではサイドウォールとして意図的に不純物を添加しないundoped-Siを用いたが、本実施例では炭素（C）、窒素（N）または酸素（O）のいずれかが含まれたシリコン層を用いてサイドウォールの抵抗成分を高めた。勿論、シリコン層は非晶質、結晶質または微結晶のいずれかで良かった。また、用いる不純物としては酸素が最も良かった。

【0114】

即ち、サイドウォールとなるシリコン層を形成する際に1～50atomic%（代表的には10～30atomic%）の炭素、窒素または酸素を添加すれば良い。本実施例では20atomic%の酸素を添加した。

【0115】

本実施例の構成とすることでサイドウォールに起因する抵抗成分が大きくなるため、ゲート電圧の印加に対してサイドウォールを誘電体とした容量成分が支配

的にきいてくるような構成とすることができた。即ち、高周波駆動した際にサイドウォール部分にも有効なゲート電圧が印加されるようにできた。

【0116】

〔実施例4〕

本実施例では、実施例1において活性層となる結晶を含む半導体膜を、特開平8-78329号公報に記載された技術を用いて結晶化した場合の例について説明する。なお、特開平8-78329号公報に記載された技術は、触媒元素を選択的に添加することによって、半導体膜の選択的な結晶化を可能とするものである。同技術を本願発明に適用した場合について図6に説明する。

【0117】

まず、ステンレス基板601上に酸化シリコン膜602を設け、その上にアモルファスシリコン膜603、酸化シリコン膜604を連続的に形成した。この時、酸化シリコン膜604の膜厚は150nmとした。

【0118】

次に酸化シリコン膜604をパターニングして選択的に開口部605を形成し、その後、重量換算で100ppmのニッケルを含む酢酸ニッケル塩溶液を塗布した。形成されたニッケル含有層606は開口部605の底部のみでアモルファスシリコン膜602と接触した状態となった。(図6(A))

【0119】

次に、500～650℃で4～24時間(本実施例では580℃14時間)の熱処理を行い、アモルファスシリコン膜の結晶化を行った。この結晶化過程では、ニッケルが接した部分がまず結晶化し、そこから基板にほぼ平行な方向へと結晶成長が進行する。結晶学的には<111>軸方向に向かって進行することが確かめられている。

【0120】

こうして形成されたポリシリコン膜607は棒状または針状の結晶が集合となり、各々の棒状結晶は、巨視的にはある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある。

【0121】

なお、上記公報に記載された技術においてもニッケル (Ni) 以外にゲルマニウム (Ge)、鉄 (Fe)、パラジウム (Pd)、錫 (Sn)、鉛 (Pb)、コバルト (Co)、白金 (Pt)、銅 (Cu)、金 (Au)、シリコン (Si) といった元素から選ばれた一種または複数種の元素を用いることができる。

【0122】

以上のような技術を用いて結晶を含む半導体膜（ポリシリコン膜やポリシリコンゲルマニウム膜を含む）を形成し、パターンニングを行って結晶を含む半導体膜でなる活性層を形成すれば良い。その後の工程は実施例 1 に従えば良い。勿論、実施例 2、3 との組み合わせも可能である。

【0123】

本実施例の技術を用いて結晶化した結晶を含む半導体膜を用いて T F T を作製した場合、高い電界効果移動度（モビリティ）が得られるが、そのため高い信頼性を要求されていた。しかしながら、本願発明の T F T 構造を採用することで本実施例の技術を最大限に生かした T F T を作製することが可能となった。

【0124】

〔実施例 5〕

本実施例では、実施例 1 に対して特開平 10-135468 号公報または特開平 10-135469 号公報に記載された技術を組み合わせた例を示す。

【0125】

同公報に記載された技術は、半導体の結晶化に用いたニッケルを、結晶化後にハロゲン元素（代表的には塩素）のゲッターリング作用を用いて除去する技術である。同技術を用いることで活性層中のニッケル濃度を $1 \times 10^{17} \text{atoms/cm}^3$ 以下（好ましくは $1 \times 10^{16} \text{atoms/cm}^3$ 以下）にまで低減することができる。

【0126】

本実施例の構成について図 7 を用いて説明する。まず基板として耐熱性の高い石英基板 701 を用いた。勿論、シリコン基板やセラミックス基板を用いても良い。石英基板を用いた場合、特に下地膜として酸化シリコン膜を設けなくても基板側からの汚染はない。

【0127】

次に実施例 1 または実施例 4 の手段を用いてポリシリコン膜（図示せず）を形成し、パターニングして活性層 702、703 を形成した。さらに、それら活性層を覆って酸化シリコン膜でなるゲート絶縁膜 704 を形成した。（図 7（A））

【0128】

ゲート絶縁膜 704 を形成したら、ハロゲン元素を含む雰囲気中において熱処理を行った。本実施例では処理雰囲気を酸素と塩化水素とを混合した酸化性雰囲気とし、処理温度を 950℃、処理時間を 30 分とした。なお、処理温度は 700～1150℃（代表的には 800～1000℃）の間で選択すれば良いし、処理時間も 10 分～8 時間（代表的には 30 分～2 時間）の間で選択すれば良い。（図 7（B））

【0129】

この時、ニッケルは揮発性のニッケル塩化物となって処理雰囲気中に離脱し、ポリシリコン膜中のニッケル濃度が低減する。従って、図 7（B）に示した活性層 705、706 中に含まれるニッケル濃度は $1 \times 10^{17} \text{atoms/cm}^3$ 以下に低減されていた。

【0130】

以上のような技術でなる本実施例を用いて活性層を形成し、その後の工程は実施例 1 に従えば良い。勿論、実施例 2～5 のいずれの実施例との組み合わせも可能である。特に本実施例と実施例 4 との組み合わせは非常に結晶性の高いポリシリコン膜を実現できることが判明している。

【0131】

（活性層の結晶構造に関する知見）

上記作製工程に従って形成した活性層は、微視的に見れば複数の針状又は棒状の結晶（以下、棒状結晶と略記する）が集まって並んだ結晶構造を有する。このことは TEM（透過型電子顕微鏡法）による観察で容易に確認できた。

【0132】

また、電子線回折及びエックス線（X 線）回折を利用して活性層の表面（チャネルを形成する部分）が結晶軸に多少のずれが含まれているものの主たる配向面

が{110}面であることを確認した。本出願人がスポット径約1.5 μm の電子線回折写真を詳細に観察した結果、{110}面に対応する回折斑点がきれいに現れているが、各斑点は同心円上に分布を持っていることが確認された。

【0133】

また、本出願人は個々の棒状結晶が接して形成する結晶粒界をHR-TEM（高分解能透過型電子顕微鏡法）により観察し、結晶粒界において結晶格子に連続性があることを確認した。これは観察される格子縞が結晶粒界において連続的に繋がっていることから容易に確認できた。

【0134】

なお、結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol.27, No.5, pp.751-758, 1988」に記載された「Planar boundary」である。

【0135】

上記論文によれば、平面状粒界には双晶粒界、特殊な積層欠陥、特殊なtwist粒界などが含まれる。この平面状粒界は電氣的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0136】

特に結晶軸（結晶面に垂直な軸）が<110>軸である場合、{211}双晶粒界は $\Sigma 3$ の対応粒界とも呼ばれる。 Σ 値は対応粒界の整合性の程度を示す指針となるパラメータであり、 Σ 値が小さいほど整合性の良い粒界であることが知られている。

【0137】

本出願人が本願発明を実施して得たポリシリコン膜を詳細にTEMを用いて観察した結果、結晶粒界の殆ど（90%以上、典型的には95%以上）が $\Sigma 3$ の対応粒界、即ち{211}双晶粒界であることが判明した。

【0138】

二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が $\{110\}$ である場合、 $\{111\}$ 面に対応する格子縞がなす角を θ とすると、 $\theta = 70.5^\circ$ の時に $\Sigma 3$ の対応粒界となることが知られている。

【0139】

本実施例のポリシリコン膜は、結晶粒界において隣接する結晶粒の各格子縞がまさに約 70.5° の角度で連続しており、その事からこの結晶粒界は $\{211\}$ 双晶粒界であるという結論に辿り着いた。

【0140】

なお、 $\theta = 38.9^\circ$ の時には $\Sigma 9$ の対応粒界となるが、この様な他の結晶粒界も存在した。

【0141】

この様な対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、本実施例を実施して得たポリシリコン膜は面方位が概略 $\{110\}$ で揃っているからこそ、広範囲に渡ってこの様な対応粒界を形成しうる。

【0142】

この様な結晶構造（正確には結晶粒界の構造）は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。従って、この様な結晶構造を有する半導体薄膜は実質的に結晶粒界が存在しない見なすことができる。

【0143】

またさらに、 $700 \sim 1150^\circ\text{C}$ という高い温度での熱処理工程によって結晶粒内に存在する欠陥が殆ど消滅していることがTEM観察によって確認されている。これはこの熱処理工程の前後で欠陥数が大幅に低減されていることから明らかである。

【0144】

この欠陥数の差は電子スピン共鳴分析（Electron Spin Resonance : ESR）によってスピン密度の差となって現れる。現状では本実施例の作製工程に従って

作製されたポリシリコン膜のスピン密度は少なくとも $5 \times 10^{17} \text{spins/cm}^3$ 以下（好ましくは $3 \times 10^{17} \text{spins/cm}^3$ 以下）であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0145】

以上の事から、本実施例を実施することで得られたポリシリコン膜は結晶粒内及び結晶粒界が実質的に存在しないため、単結晶シリコン膜又は実質的な単結晶シリコン膜と考えて良い。本出願人はこのような結晶構造を有するポリシリコン膜を CGS (Continuous Grain Silicon) と呼んでいる。

【0146】

CGS に関する記載は本出願人による特願平 10-044659 号、特願平 10-152316 号、特願平 10-152308 号または特願平 10-152305 号の出願を参照すれば良い。

【0147】

(TFT の電気特性に関する知見)

本実施例で作製した TFT は、MOSFET に匹敵する電気特性を示した。本出願人が試作した TFT からは次に示す様なデータが得られている。

【0148】

(1) スイッチング性能（オン／オフ動作切り換えの俊敏性）の指標となるサブスレッショルド係数が、Nチャネル型 TFT および Pチャネル型 TFT とともに $60 \sim 100 \text{mV/decade}$ （代表的には $60 \sim 85 \text{mV/decade}$ ）と小さい。

(2) TFT の動作速度の指標となる電界効果移動度 (μ_{FE}) が、Nチャネル型 TFT で $200 \sim 650 \text{cm}^2/\text{Vs}$ （代表的には $300 \sim 500 \text{cm}^2/\text{Vs}$ ）、Pチャネル型 TFT で $100 \sim 300 \text{cm}^2/\text{Vs}$ （代表的には $150 \sim 200 \text{cm}^2/\text{Vs}$ ）と大きい。

(3) TFT の駆動電圧の指標となるしきい値電圧 (V_{th}) が、Nチャネル型 TFT で $-0.5 \sim 1.5 \text{ V}$ 、Pチャネル型 TFT で $-1.5 \sim 0.5 \text{ V}$ と小さい。

【0149】

以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

【0150】

(回路特性に関する知見)

次に、本実施例を実施して形成したTFTを用いて作製されたリングオシレータによる周波数特性を示す。リングオシレータとはCMOS構造でなるインバータ回路を奇数段リング状に接続した回路であり、インバータ回路1段あたりの遅延時間を求めるのに利用される。実験に使用したリングオシレータの構成は次の様になっている。

段数：9段

TFTのゲイト絶縁膜の膜厚：30nm及び50nm

TFTのゲイト長：0.6 μ m

【0151】

このリングオシレータによって発振周波数を調べた結果、最大値で1.04GHzの発振周波数を得ることができた。また、実際にLSI回路のTEGの一つであるシフトレジスタを作製して動作周波数を確認した。その結果、ゲイト絶縁膜の膜厚30nm、ゲイト長0.6 μ m、電源電圧5V、段数50段のシフトレジスタ回路において動作周波数100MHzの出力パルスが得られた。

【0152】

以上のようなリングシレータおよびシフトレジスタの驚異的なデータは、本実施例のTFTがMOSFETに匹敵する、若しくは凌駕する性能（電気特性）を有していることを示している。

【0153】

〔実施例6〕

本願発明では活性層のソース領域またはドレイン領域となる部分を用いて結晶化に用いた触媒元素をゲッターリングしているが、ゲート絶縁膜等を形成する前に予め結晶を含む半導体膜中から触媒元素をゲッターリングしておくことも可能である。

【0154】

その場合には、本出願人による特開平10-270363号公報または特開平10-247735号公報に記載された技術を用いると良い。

【0155】

同公報に記載された技術は、結晶を含む半導体膜中に選択的に15族に属する元素（代表的にはリン）を添加し、その領域をゲッタリング領域として機能させるものである。

【0156】

本実施例と実施例1に示したゲッタリング技術とを組み合わせることで、さらにチャンネル形成領域に残存する触媒元素を低減することが可能となる。なお、本実施例の技術は実施例5の技術と組み合わせても良い。また、実施例2～4の実施例との組み合わせも可能である。

【0157】

〔実施例7〕

本実施例では実施例1と異なる工程で第3不純物領域及び第5不純物領域を形成する場合について図8を用いて説明する。

【0158】

まず、実施例1の工程に従って図4（B）のリンドープ工程の手前まで進めた。本実施例ではレジストマスク318、319を形成した後、ゲート絶縁膜305をエッチングしてゲート絶縁膜801、802を形成した。

【0159】

そして、その状態でリンドープ工程を行った。本実施例の場合、露呈した活性層に対して直接的にリンを添加することになるので、加速電圧は10keVと低めに設定した。

【0160】

こうして第3不純物領域803、第5不純物領域804を形成した。なお、第3及び第5不純物領域には $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $1 \times 10^{20} \sim 5 \times 10^{20} \text{ atoms/cm}^3$ ）の濃度でリンが含まれるようにドーズ量を調節した。（図8（A））

【0161】

この後、レジストマスク318、319を除去したら窒化シリコン膜805を形成してゲッタリングのための熱処理工程を行った。この熱処理工程の条件に関

しては実施例 1 を参考にすれば良い。(図 8 (B))

【0162】

この熱処理工程によって第 3 不純物領域 803 及び第 5 不純物領域 804 にはニッケルが集まり、 $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ (代表的には $1 \times 10^{18} \sim 5 \times 10^{19} \text{ atoms/cm}^3$) の濃度でニッケルが含まれた第 3 不純物領域 806 及び第 5 不純物領域 807 が形成された。これらの領域は TFT と各配線とを接続する電極として機能する。チャンネル形成領域とのニッケル濃度の関係は既に説明した通りである。

【0163】

これ以降の工程は実施例 1 に従えば良い。基本的な構造は図 1 又は図 4 (D) と同様なので説明は省略する。本実施例の場合、最終的に NTFT のゲート絶縁膜がチャンネル形成領域、第 1 不純物領域及び第 2 不純物領域に接し、第 3 不純物領域には接していない点、並びに PTFT のゲート絶縁膜がチャンネル形成領域及び第 4 不純物領域に接し、第 5 不純物領域には接していない点に特徴がある。

【0164】

なお、本実施例の構成は実施例 2～6 のどの実施例とも自由に組み合わせることが可能である。

【0165】

〔実施例 8〕

本実施例では、実施例 1 に示したゲッタリング工程 (図 4 (C)) で用いた窒化シリコン膜 322 の形成工程を、実施例 1 とは異なる時点で行う例について図 9 に示す。

【0166】

まず実施例 1 の工程に従って図 3 (B) の工程まで行い、その後、 $1 \sim 10 \text{ nm}$ (好ましくは $2 \sim 5 \text{ nm}$) 厚の窒化シリコン膜 901 を設けた。この窒化シリコン膜 901 の膜厚が厚すぎるとサイドウォール 902 を用いたゲートオーバーラップ構造が実現できなくなるので、薄くすることが好ましい。ただし、後の熱処理工程でゲート配線 (タンタルの場合) の酸化を防ぐという効果も損ねないように注意が必要である。

【0167】

そして、窒化シリコン膜 901 上にアモルファスシリコン膜（図示せず）を形成し、異方性エッチングによりサイドウォール 902、903 を形成した。（図 9（A））

【0168】

なお、サイドウォール 902、903 の構成は実施例 2 または実施例 3 のような構成とすることも可能である。

【0169】

次に、図 9（A）の状態でリンの添加工程を行い、第 2 不純物領域 904 を形成した。なお、リンの添加条件はほぼ実施例 1 と同様で良いが、窒化シリコン膜 901 の膜厚分を考慮して、加速電圧等の最適化を行うことが望ましい。なお、図示しないがこの時点では P T F T 側にも第 2 不純物領域が形成された。

【0170】

第 2 不純物領域 904 を形成したら、レジストマスク 905 を形成し、ボロンドープ工程を行った。このときの条件もほぼ実施例 1 と同様で良いが、窒化シリコン膜 901 の膜厚を考慮する必要がある。こうして前述のリンドープ工程で形成された第 2 不純物領域（図示せず）を P 型に反転させ、第 4 不純物領域 906 を形成した。（図 9（B））

【0171】

次に、レジストマスク 905 を除去し、新たにレジストマスク 907、908 を形成した。そしてその状態で再びリンの添加工程を行い、第 3 不純物領域 909 及び第 5 不純物領域 910 を形成した。ドーピング条件は実施例 1 に従えば良いが窒化シリコン膜の膜厚を考慮することは言うまでもない。（図 9（C））

【0172】

次に、レジストマスク 907、908 を除去した後、実施例 1 と同様の条件でゲッタリングのための熱処理工程を行った。この熱処理工程後、第 3 不純物領域 911 及び第 5 不純物領域 912 には $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ （代表的には $1 \times 10^{18} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ ）の濃度でニッケルが存在した。チャネル形成領域とのニッケル濃度の関係は既に説明した通りである。

【0173】

以上の工程の後、実施例 1 と同様の工程を順次行うことによって CMOS 回路が完成した。本実施例によって作製した CMOS 回路の構造と図 1 に示した CMOS 回路の構造とは窒化シリコン膜 901 の形成されている箇所が違うのみでその他の他は同一である。

【0174】

なお、本実施例の構成は実施例 2～7 のいずれの構成とも自由に組み合わせることが可能である。

【0175】

〔実施例 9〕

本実施例では、実施例 7 と実施例 8 とを組み合わせた場合の例について図 10 を用いて説明する。

【0176】

まず実施例 8 の工程に従って図 9 (C) のリンドープ工程の手前まで行った。そこで窒化シリコン膜 901 及びゲート絶縁膜 (図示せず) を、レジストマスク 907、908 をマスクとしてエッチングしてゲート絶縁膜 11、12 及び窒化シリコン膜 13、14 を形成した。

【0177】

窒化シリコン膜及びゲート絶縁膜のエッチングが終了したら、実施例 7 の条件に従ってリンの添加工程を行い、第 3 不純物領域 15 及び第 5 不純物領域 16 を形成した。(図 10 (A))

【0178】

次に、レジストマスク 907、908 を除去した後、実施例 7 (実施例 1) と同様の条件でゲッタリングのための熱処理工程を行った。この熱処理工程後、第 3 不純物領域 17 及び第 5 不純物領域 18 には $1 \times 10^{17} \sim 1 \times 10^{20} \text{ atoms/cm}^3$ (代表的には $1 \times 10^{18} \sim 5 \times 10^{19} \text{ atoms/cm}^3$) の濃度でニッケルが存在した。チャンネル形成領域とのニッケル濃度の関係は既に説明した通りである。

【0179】

以上の工程の後、実施例 1 と同様の工程を順次行うことによって CMOS 回路

が完成した。本実施例によって作製したCMOS回路の構造と図1に示した構造とは、ゲート配線を覆う窒化シリコン膜とゲート絶縁膜の形状が異なるのみで他は同一であるので詳細な説明は省略する。

【0180】

なお、本実施例の構成は実施例2～7のいずれの構成とも自由に組み合わせることが可能である。

【0181】

〔実施例10〕

実施例1ではCMOS回路を例にとって説明したが、本実施例ではアクティブマトリクス型液晶表示パネルにおいて画素マトリクス回路に本願発明を適用した場合について説明する。説明には図14を用いる。なお、図14(A)中においてA-A'で切断した断面構造図が図14(B)、その等価回路が図14(C)に相当する。また、図14(B)に示す画素TFTは同一構造のNTFTが直列に接続されたダブルゲート構造であるので、片方のみに符号を付して説明することとする。

【0182】

まず、実施例1の工程に従って、基板1400上に下地膜1401、チャネル形成領域1402、第1不純物領域1403、第2不純物領域1404、第3不純物領域1405、1406、ゲート絶縁膜1407、ゲート配線1409、サイドウォール1408、窒化シリコン膜1410、第1層間絶縁膜1411、ソース配線1412、ドレイン配線1413を形成した。

【0183】

そして、各配線上にパッシベーション膜として窒化シリコン膜1414、第2層間絶縁膜1415とを形成した。さらに、その上に第3層間絶縁膜1416を形成し、ITO、 SnO_2 等の透明導電膜からなる画素電極1418を形成した。また、1417も画素電極である。

【0184】

また、容量部は、容量配線1422を上部電極とし、アンドープシリコン層（真性半導体層又は $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の濃度でボロンが添加され

た半導体層) 1419と不純物領域1420(第1不純物領域1403と同濃度のリンを含む)とでなる下部電極とで、絶縁膜1421(ゲート絶縁膜1407から延在する)を挟んで形成した。なお、容量配線1422は、画素TFTのゲート配線1409と同時に形成され、接地または固定電圧に接続された。

【0185】

また、絶縁膜1421は、画素TFTのゲート絶縁膜1407と同一の材料で構成された。また、アンドープシリコン層1419は、画素TFTのチャネル形成領域1402と同じ材料で構成された。

【0186】

このようにして、同一基板に画素TFTと、容量部と、CMOS回路とを同時に作製し、集積化することができた。本実施例では一例として透過型LCDを例にとって説明したがこれに限定されないことは言うまでもない。

【0187】

例えば、画素電極の材料として反射性の導電材料を用い、画素電極のパターンの変更、または幾つかの工程の追加/削除を適宜行えば反射型のLCDを作製することが可能である。

【0188】

また、本実施例では、画素マトリクス回路の画素TFTのゲート配線をダブルゲート構造としているが、オフ電流のバラツキを低減するために、トリプルゲート構造等のマルチゲート構造としても構わない。また、開口率を向上させるためにシングルゲート構造としてもよい。

【0189】

なお、本実施例の構成は実施例1~9のいずれの構成とも自由に組み合わせることが可能である。

【0190】

〔実施例11〕

本実施例では、実施例10とは異なる構造の容量部を形成した例を図15に示す。基本的な構成は実施例10とほぼ同様であるので相違点のみに着目して説明する。本実施例の容量部は、第3不純物領域1501に接続されている不純物領域

(第2不純物領域と同濃度のリンを含む) 1502と、ゲート絶縁膜から延在する絶縁膜1503と容量配線1504で形成されている。

【0191】

また、ブラックマスク1505をTFT形成側基板に設けた。なお、容量配線1504は画素TFTのソース配線及びドレイン配線と同時に形成され、接地または固定電圧に接続される。このようにして、同一基板に画素TFTと、容量部と、CMOS回路とを同時に作製し、集積化することができる。勿論、実施例1～9のいずれの実施例との組み合わせも可能である。

【0192】

〔実施例12〕

本実施例では、実施例10、11とは異なる容量部を形成した例を図16に示す。基本的な構成は実施例10とほぼ同様であるので相違点のみに着目して説明する。まず、実施例1に従って、第2層間絶縁膜1602と、遮光性を有する導電材料からなるブラックマスク1603とを形成した。さらに、その上に第3層間絶縁膜を形成し、ITO、 SnO_2 等の透明導電膜からなる画素電極1604を形成した。

【0193】

なお、ブラックマスク1603は画素TFT部を覆い、且つ、ドレイン配線1601と容量部を形成している。この時、容量部の誘電体は第2層間絶縁膜1602である。また、第2層間絶縁膜1602の一部をエッチングして、パッシベーション膜として設けた窒化シリコン膜1605を露呈させ、窒化シリコン膜1605のみを誘電体として用いる構造とすることもできる。

【0194】

このようにして、同一基板に画素TFTと、容量部と、CMOS回路とを同時に作製し、集積化することができる。勿論、実施例1～9のいずれの実施例との組み合わせも可能である。

【0195】

〔実施例13〕

本実施例について図17を用いて説明する。本実施例では、画素TFTのチャネ

ル形成領域の下方に絶縁膜 1701 を介して、バックゲート電極 1702、1703 を形成した。なお、ここでのバックゲート電極とは、しきい値電圧の制御やオフ電流を低減する目的で設けられた電極であり、活性層（チャネル形成領域）を挟んでゲート配線とは逆側に設けられた疑似的なゲート電極をいう。

【0196】

バックゲート電極 1702、1703 は導電性材料であれば問題なく用いることができるが、本願発明では触媒元素のゲッタリング工程で 550～650℃程度の熱処理工程があるため、その温度に耐える耐熱性を要求する。例えば、ポリシリコン膜（真性であっても不純物が添加されていても良い）を用いたシリコンゲート電極を用いることは有効である。

【0197】

また、絶縁膜 1701 はバックゲート電極のゲート絶縁膜として機能するため、ピンホール等の少ない膜質の良い絶縁膜を用いる。本実施例では酸化窒化シリコン膜を用いるが、他にも酸化シリコン膜や窒化シリコン膜を用いることができる。ただし、その上に TFT が作製されるため、できるだけ平坦面を実現できるような材料が望ましい。

【0198】

本実施例ではバックゲート電極 1702、1703 に電圧を印加することによってチャネル形成領域の電界分布を電氣的に変化させ、しきい値電圧の制御やオフ電流の低減を可能とした。特に、本実施例のような画素 TFT に対しては効果的である。

【0199】

なお、本実施例の構成は実施例 1～12 のいずれの実施例とも自由に組み合わせることが可能である。

【0200】

〔実施例 14〕

本実施例では本願発明を実施して形成した TFT で回路を組み、同一基板上にドライバー回路（シフトレジスタ回路、バッファ回路、サンプリング回路、信号増幅回路など）と画素マトリクス回路とを一体形成したアクティブマトリクス型

液晶表示パネルを作製した場合の例について説明する。

【0201】

実施例1ではCMOS回路を例にとって説明したが、本実施例ではCMOS回路を基本単位としたドライバー回路と、NTFTを画素TFTとした画素マトリクス回路とを同一基板上に形成した。なお、画素TFTはダブルゲート構造やトリプルゲート構造といったいわゆるマルチゲート構造でも良い。

【0202】

なお、画素TFTは実施例1の工程に従ってソース配線及びドレイン配線まで形成した後、ドレイン配線に接続するように画素電極を形成した構造とすれば良い。本願発明はNTFTの構造に特徴があり、これを画素TFTに適用することは公知の技術で容易であるため説明は省略する。

【0203】

同一基板上にドライバー回路及び画素マトリクス回路を形成したら、配向膜を形成してTFT形成側基板（アクティブマトリクス基板）がほぼ完成する。そして、対向電極と配向膜とを備えた対向基板を用意し、アクティブマトリクス基板と対向基板との間に液晶材料を封入すれば図11に示す様な構造のアクティブマトリクス型液晶表示装置（液晶表示パネルまたは液晶モジュールともいう）が完成する。液晶材料を封入する工程は、公知のセル組工程を用いれば良いので詳細な説明は省略する。

【0204】

なお、図11において21は絶縁表面を有する基板、22は画素マトリクス回路、23はソースドライバー回路、24はゲイトドライバー回路、25は対向基板、26はFPC（フレキシブルプリントサーキット）、27はD/Aコンバータや γ 補正回路などの信号処理回路である。なお、複雑な信号処理回路はICチップで形成して、そのICチップをCOGのように基板上に取り付けても良い。

【0205】

さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であればEL（エレクトロルミネッセンス）表示パネルやEC（エレクトロクロミックス）表示パネル、イメージセンサ等、他の電気光

学装置に適用することも可能である。

【0206】

また、本実施例の電気光学装置は実施例 1～13 のどのような組み合わせからなる構成を用いても実現することができる。

【0207】

〔実施例 15〕

本願発明の T F T 構造は実施例 14 に示した電気光学装置だけでなく、あらゆる半導体回路に適用することが可能である。即ち、R I S C プロセッサ、A S I C プロセッサ等のマイクロプロセッサに適用しても良いし、D/A コンバータ等の信号処理回路から携帯機器（携帯電話、P H S、モバイルコンピュータ）用の高周波回路に適用しても良い。

【0208】

さらに、従来の M O S F E T 上に層間絶縁膜を形成し、その上に本願発明を用いて半導体回路を作製したような三次元構造の半導体装置を実現することも可能である。このように本願発明は現在 L S I が用いられている全ての半導体装置に適用することが可能である。即ち、S I M O X、S m a r t - C u t（SOITEC 社の登録商標）、E L T R A N（キャノン株式会社の登録商標）などの S O I 構造（単結晶半導体薄膜を用いた T F T 構造）に本願発明を適用しても良い。

【0209】

また、本実施例の半導体回路は実施例 1～13 のどのような組み合わせからなる構成を用いても実現することができる。

【0210】

〔実施例 16〕

本願発明を実施して形成された T F T は様々な電気光学装置（実施例 14）や半導体回路（実施例 15）に適用することができる。即ち、それら電気光学装置や半導体回路を部品として組み込んだ電子機器全てに本願発明は適用できる。

【0211】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクション T V、ヘッドマウントディスプレイ（ゴーグル型ディスプレ

イ)、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図12に示す。

【0212】

図12(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明を音声出力部2002、音声入力部2003、表示装置2004やその他の信号制御回路に適用することができる。

【0213】

図12(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102、音声入力部2103やその他の信号制御回路に適用することができる。

【0214】

図12(C)はモバイルコンピュータ(モービルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205やその他の信号制御回路に適用できる。

【0215】

図12(D)はゴーグル型ディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本発明は表示装置2302やその他の信号制御回路に適用することができる。

【0216】

図12(E)はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403やその他の信号制御回路に適用することができる。

【0217】

図12(F)はフロント型プロジェクターであり、本体2501、光源250

2、表示装置 2503、光学系 2504、スクリーン 2505 で構成される。本発明は表示装置 2502 やその他の信号制御回路に適用することができる。

【0218】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ～ 13 のどのような組み合わせからなる構成を用いても実現することができる。

【0219】

【発明の効果】

本願発明を実施することで、NTFT の信頼性を高めることが可能となった。従って、厳しい信頼性が要求される高い電気特性（特に高いモビリティ）を有する NTFT の信頼性を確保することが可能となった。また同時に、特性バランスに優れた NTFT と PTFT とを組み合わせることで CMOS 回路を形成することで、信頼性が高く且つ優れた電気特性を示す半導体回路を形成できた。

【0220】

さらに、本願発明では半導体の結晶化に用いた触媒元素を低減することができるため、不安定要因の少ない半導体装置を実現できる。しかも触媒元素を低減する工程はソース領域及びドレイン領域の形成及び活性化と同時に行われるため、スループットを低下させるようなこともない。

【0221】

また、以上のように TFT で組む回路の信頼性を高めることで電気光学装置、半導体回路、さらには電子機器をも含む全ての半導体装置の信頼性を確保することが可能となった。

【図面の簡単な説明】

【図 1】 CMOS 回路の断面を示す図。

【図 2】 MOSFET の断面構造を示す図。

【図 3】 CMOS 回路の作製工程を示す図。

【図 4】 CMOS 回路の作製工程を示す図。

【図 5】 ポリシリコン膜の作製工程を示す図。

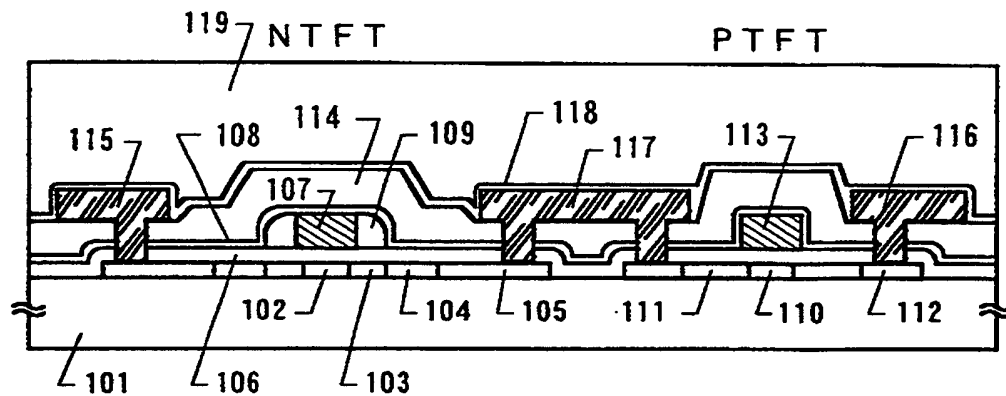
【図 6】 ポリシリコン膜の作製工程を示す図。

- 【図 7】 ポリシリコン膜の作製工程を示す図。
- 【図 8】 CMOS 回路の作製工程を示す図。
- 【図 9】 CMOS 回路の作製工程を示す図。
- 【図 10】 CMOS 回路の作製工程を示す図。
- 【図 11】 電気光学装置の外観を示す図。
- 【図 12】 電子機器の一例を示す図。
- 【図 13】 CMOS 回路を上面からみた図。
- 【図 14】 画素マトリクス回路の構造を示す図。
- 【図 15】 画素マトリクス回路の構造を示す図。
- 【図 16】 画素マトリクス回路の構造を示す図。
- 【図 17】 画素マトリクス回路の構造を示す図。
- 【図 18】 各種 TFT 構造を比較するための図。
- 【図 19】 NTFT（オフ状態）のエネルギーバンドを示す図。

【書類名】

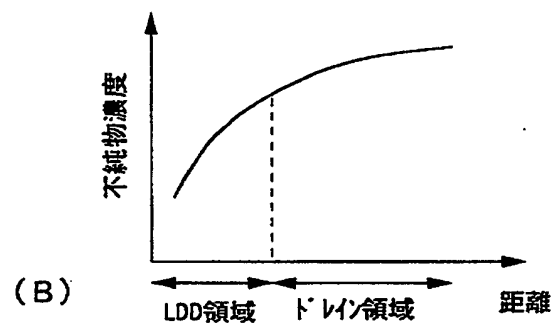
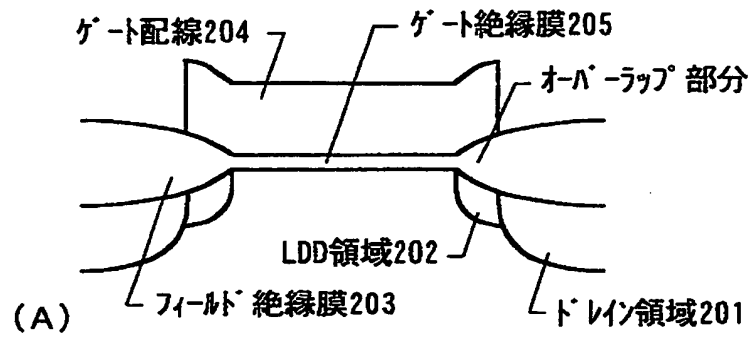
図面

【図 1】

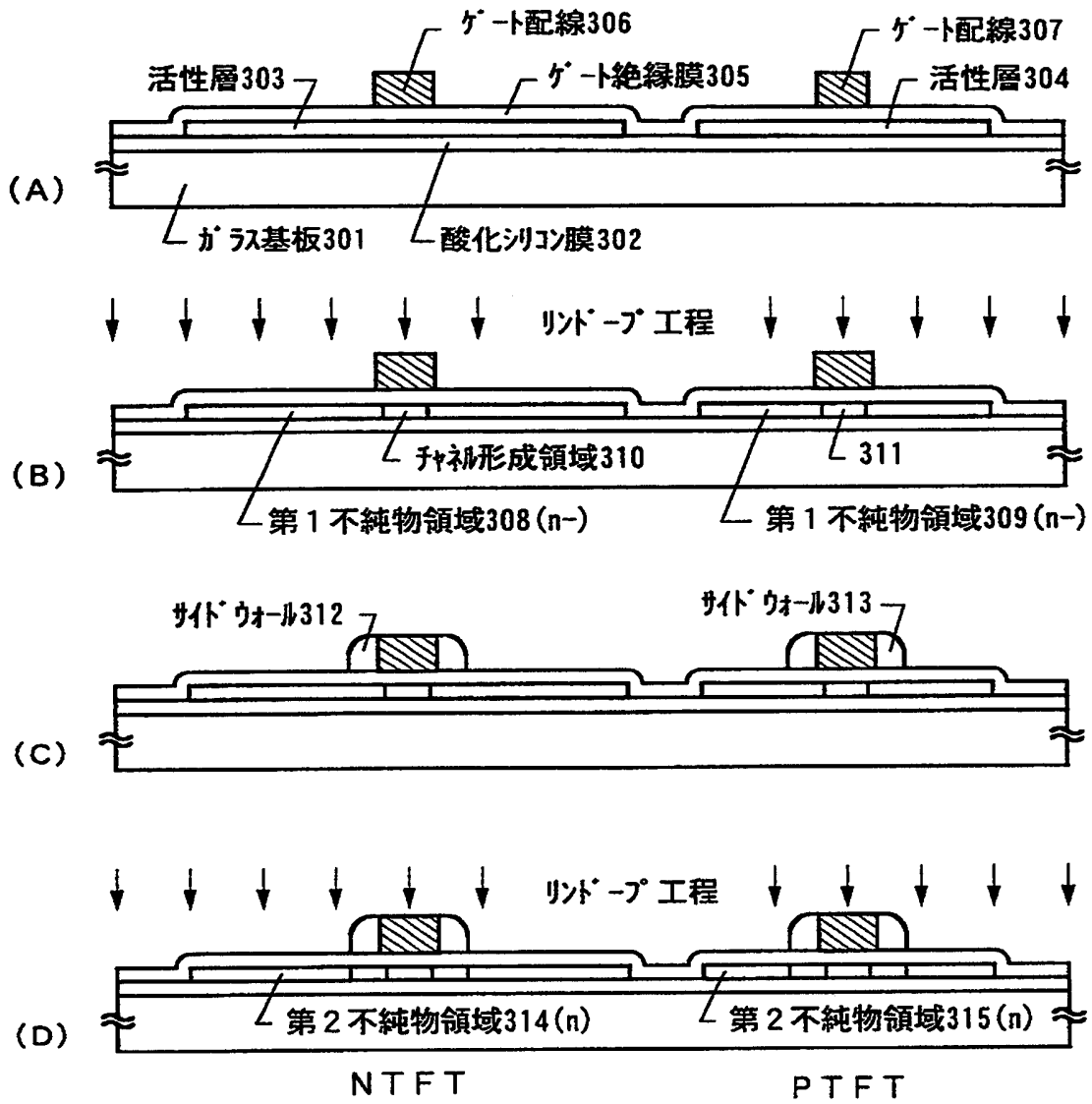


101:基板、102、110:チャネル形成領域、103:第1不純物領域(n-)
 104:第2不純物領域(n)、105:第3不純物領域(n+)
 106、113:ゲート絶縁膜、107、113:ゲート配線、108:窒化シリコン膜
 109:サイドウォール、111:第4不純物領域(p++)
 112:第5不純物領域(n+、p++)、114:第1層間絶縁膜
 115、116:ソース配線、117:ドレイン配線、118:窒化シリコン膜
 119:第2層間絶縁膜

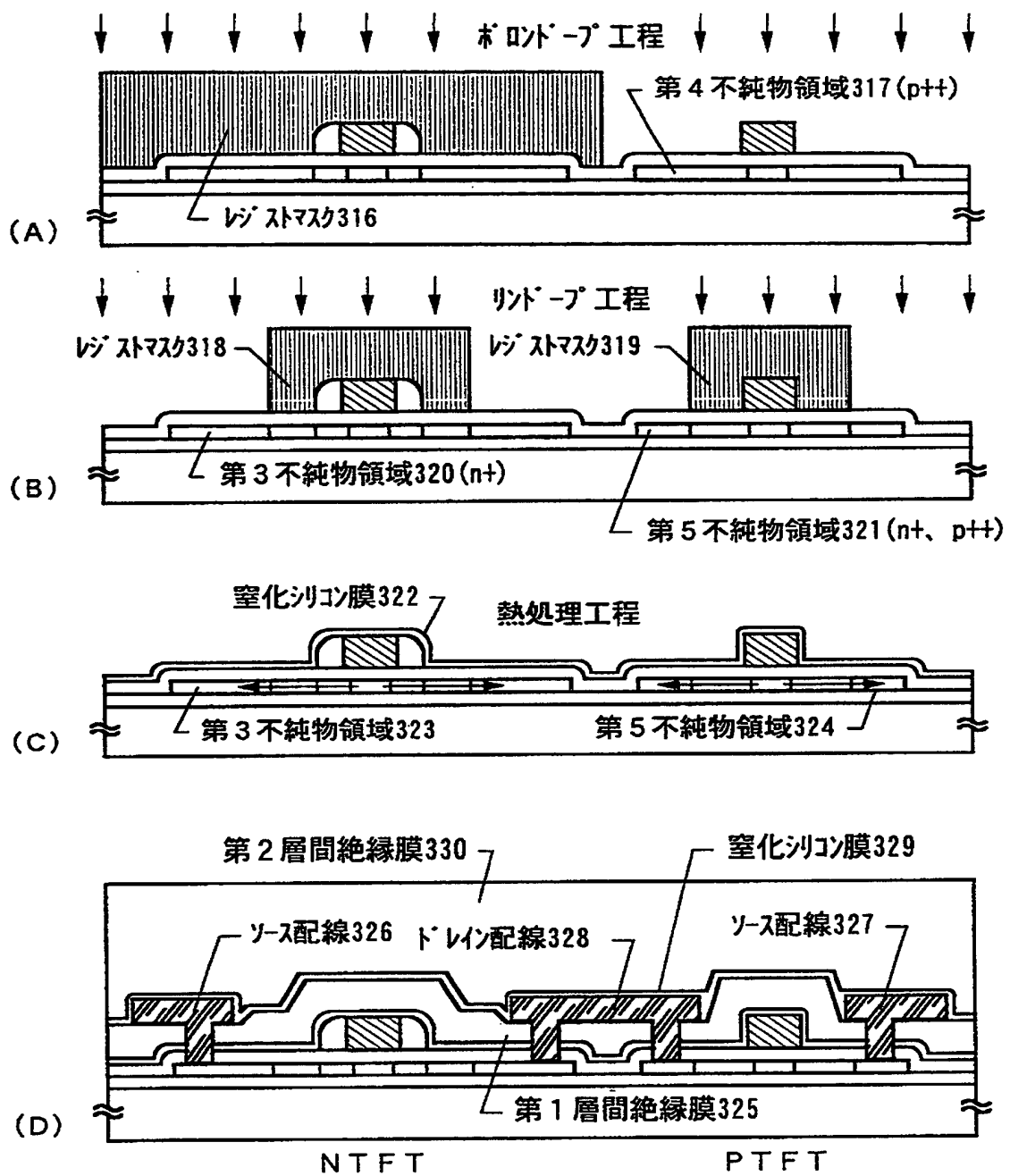
【図 2】



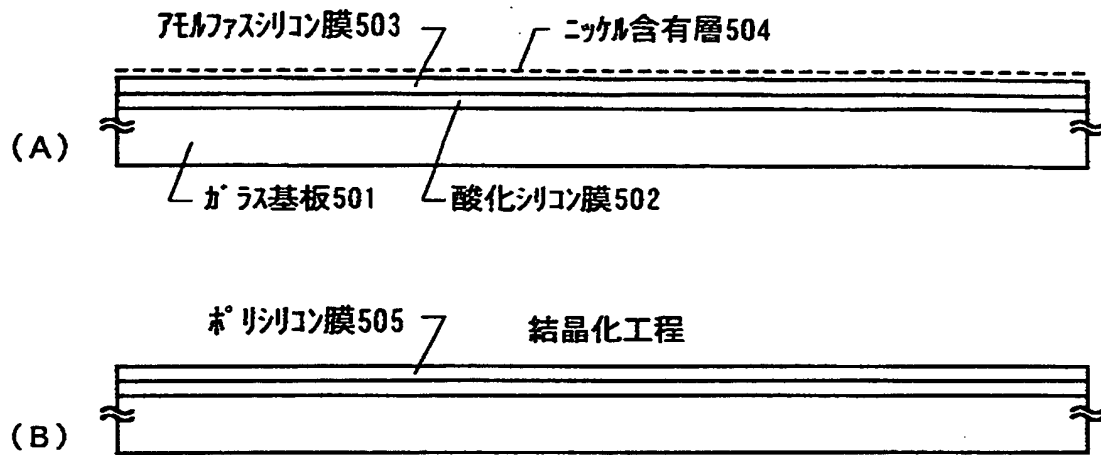
【図3】



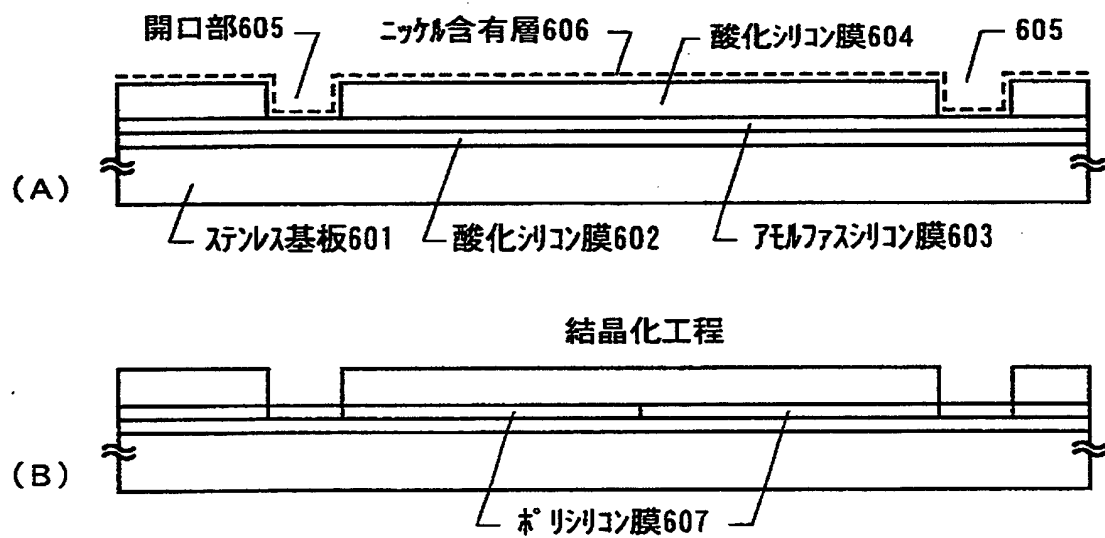
【図4】



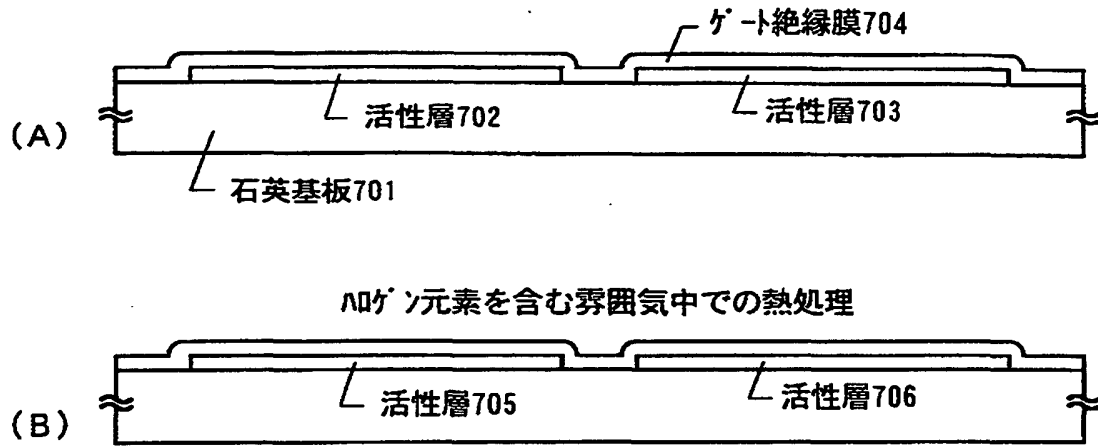
【図 5】



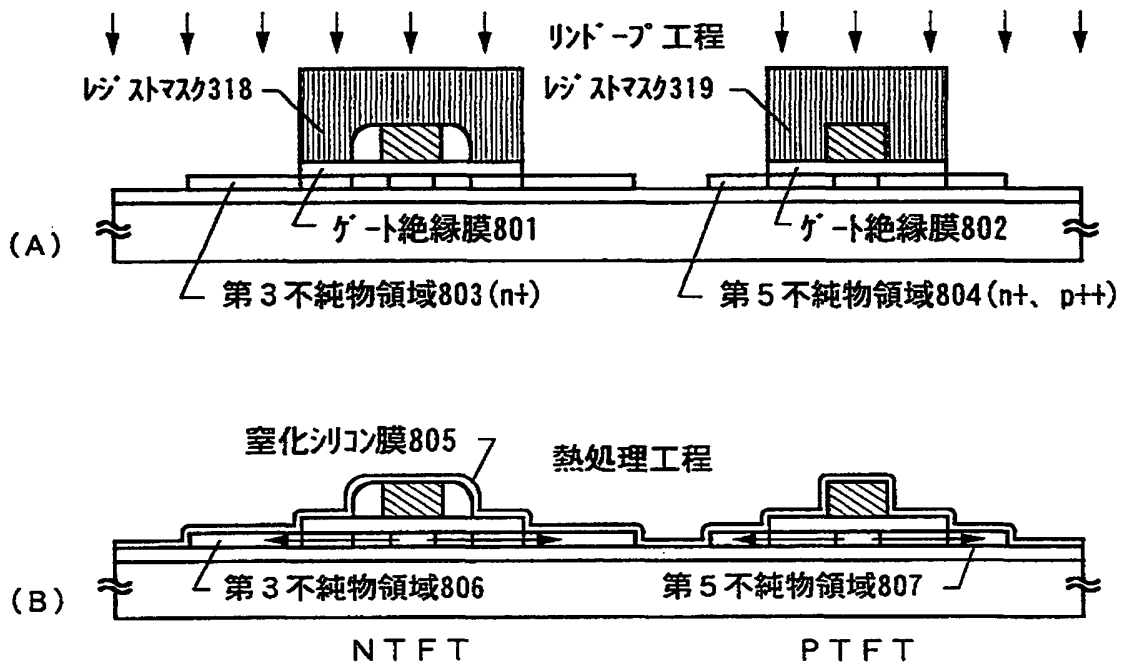
【図 6】



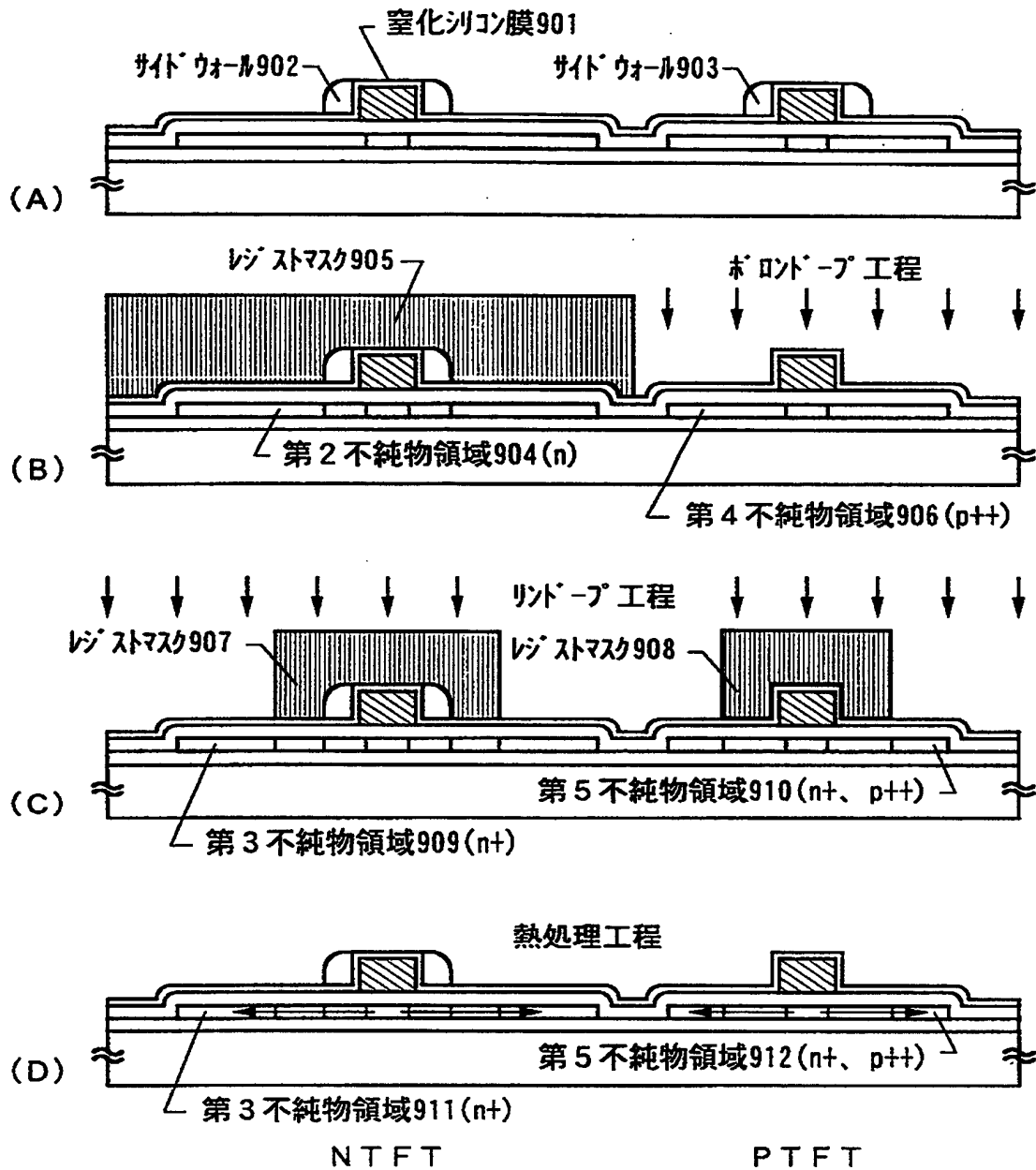
【図 7】



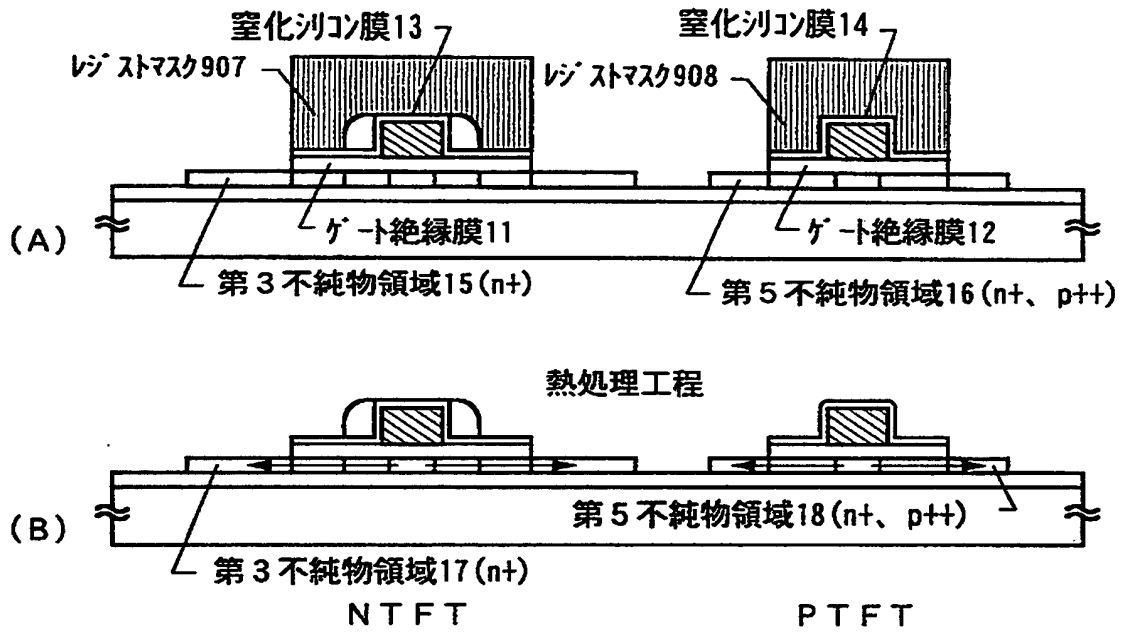
【図 8】



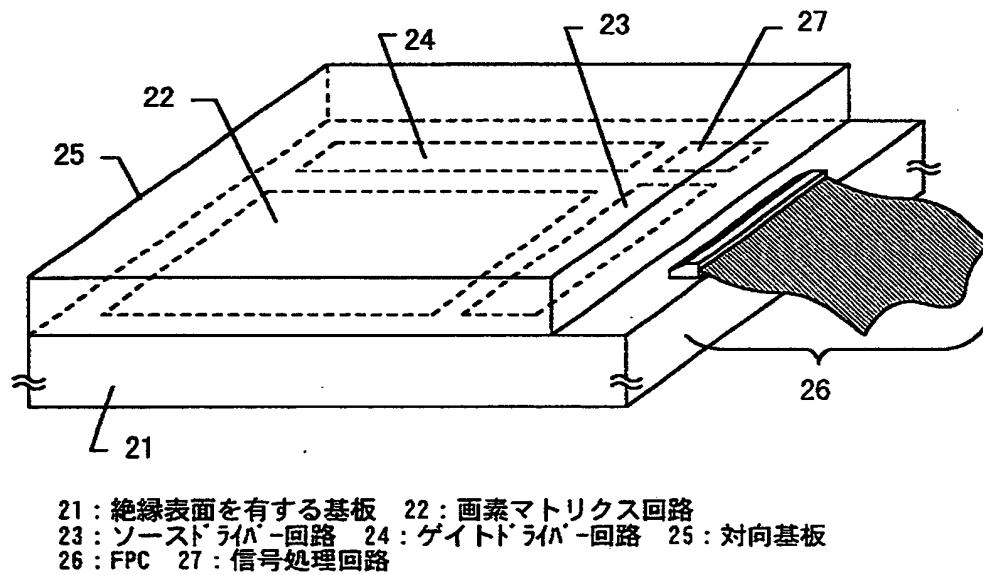
【図 9】



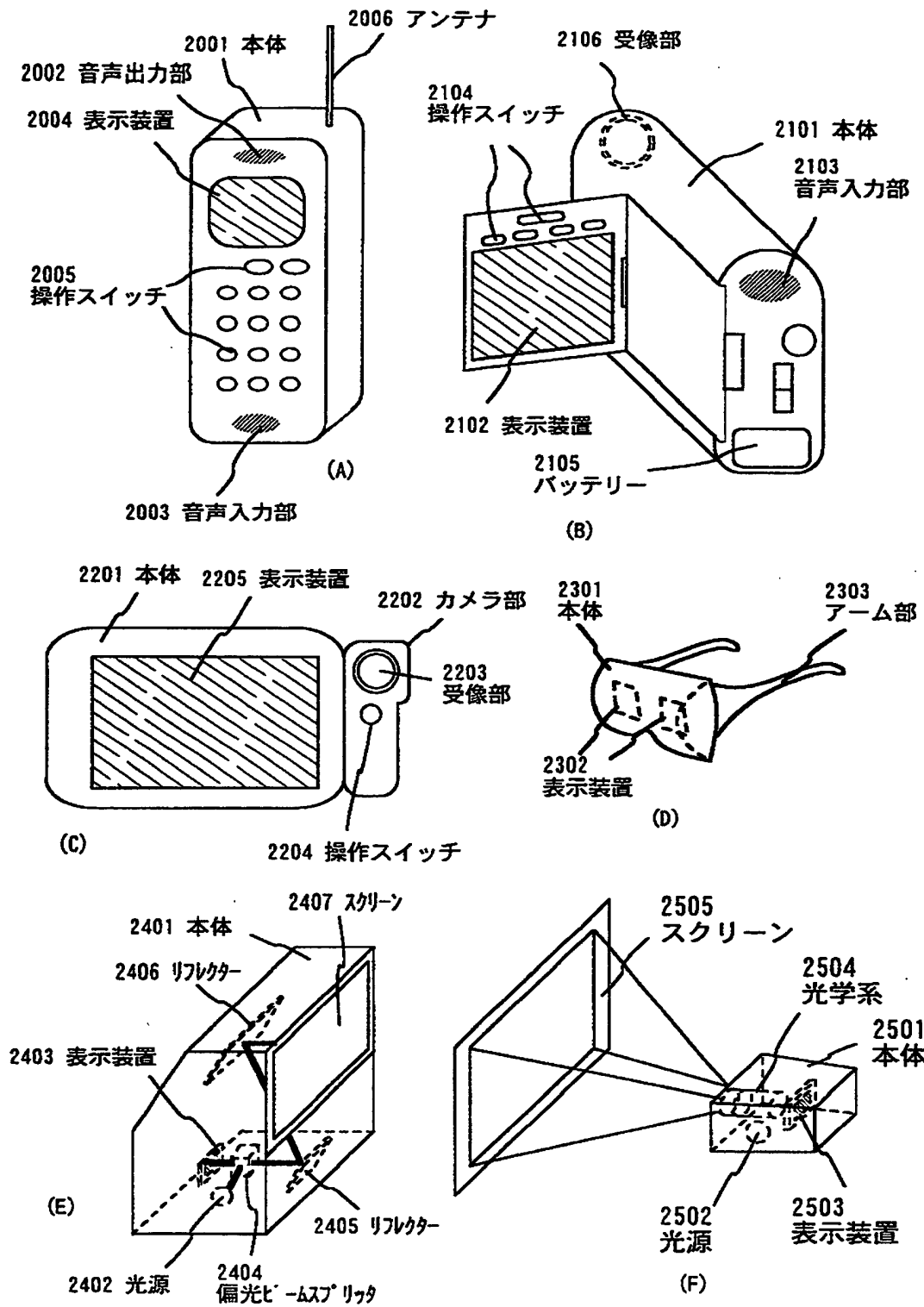
【図 10】



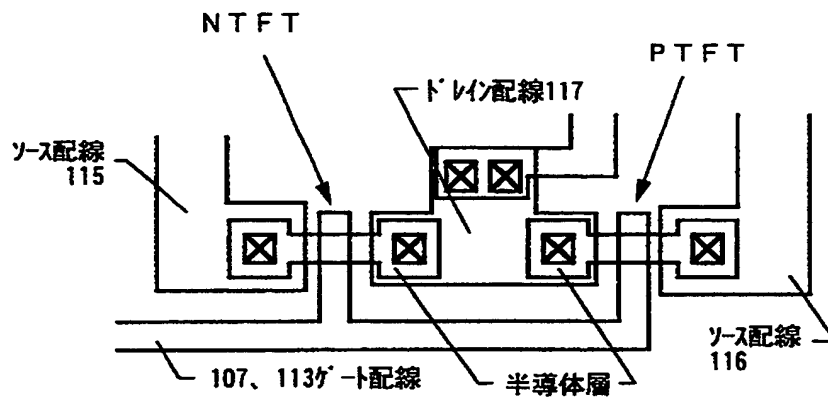
【図 11】



【図 12】

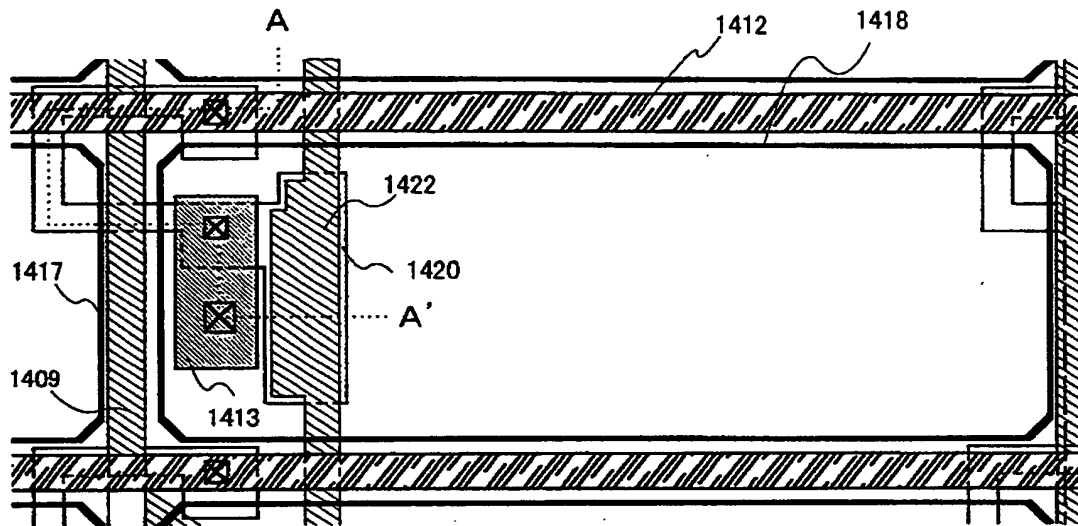


【図 13】

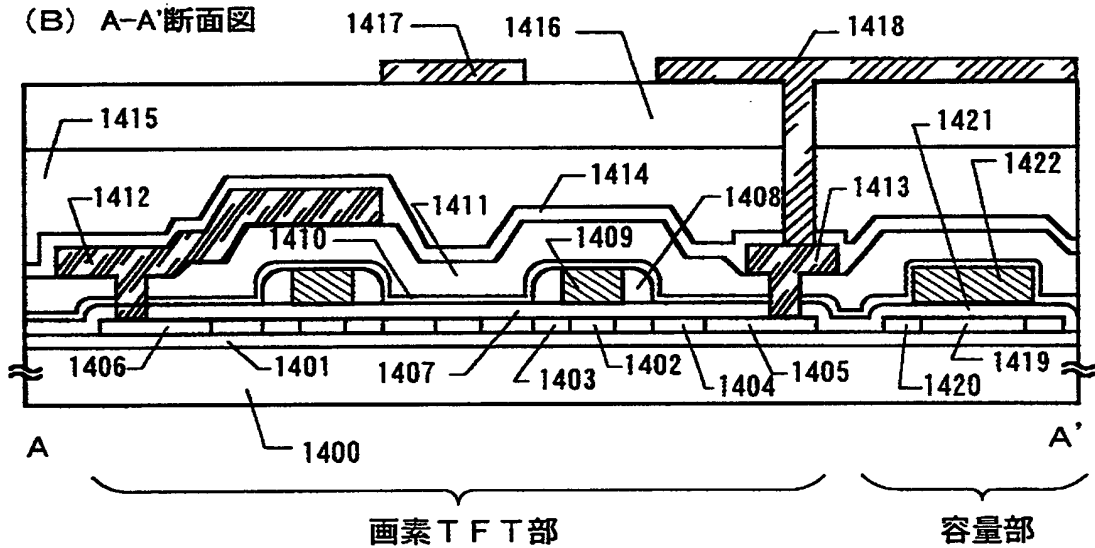


【図 1 4】

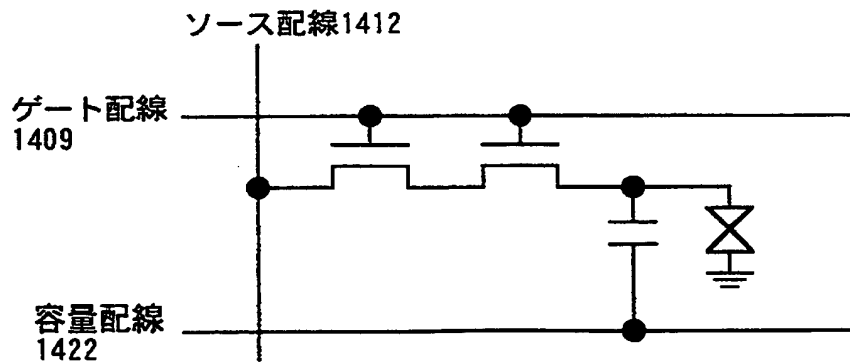
(A) 上面図



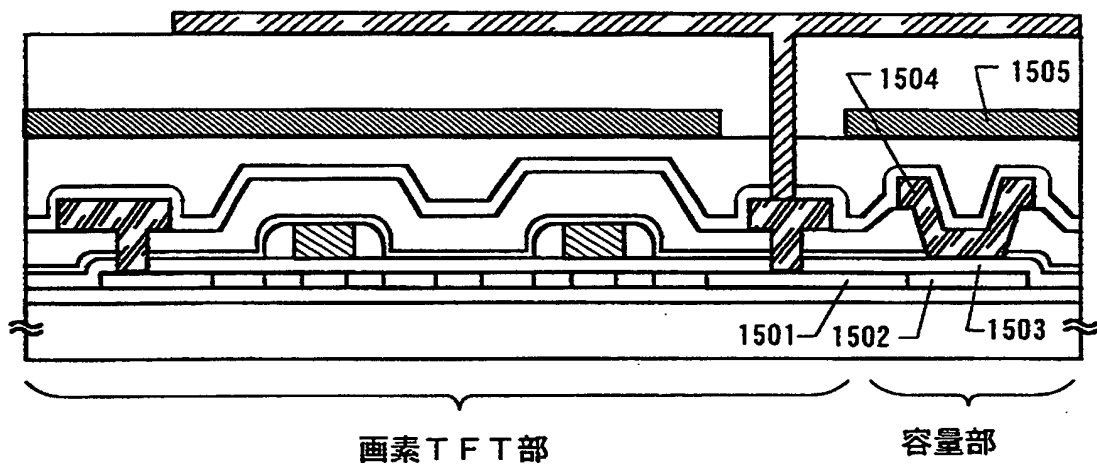
(B) A-A'断面図



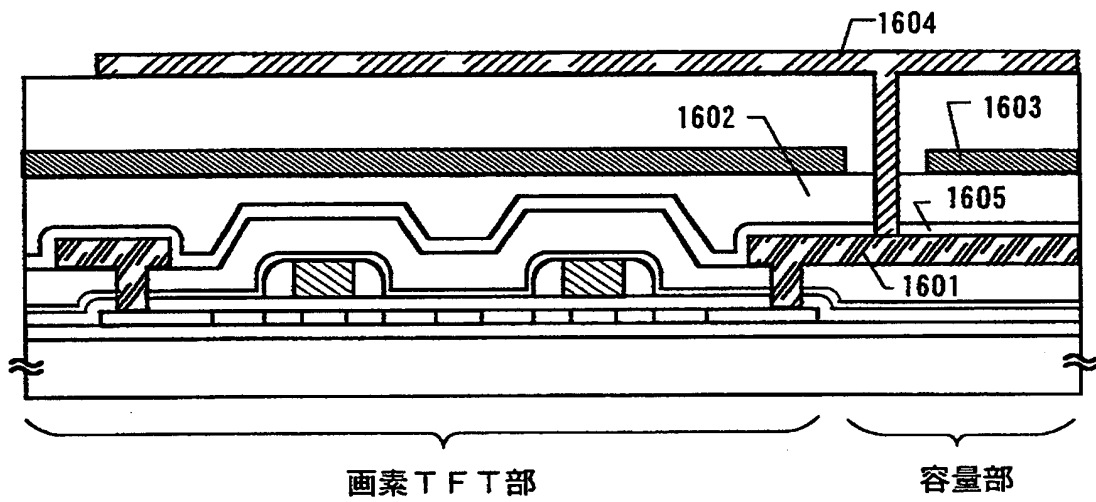
(C) 回路図



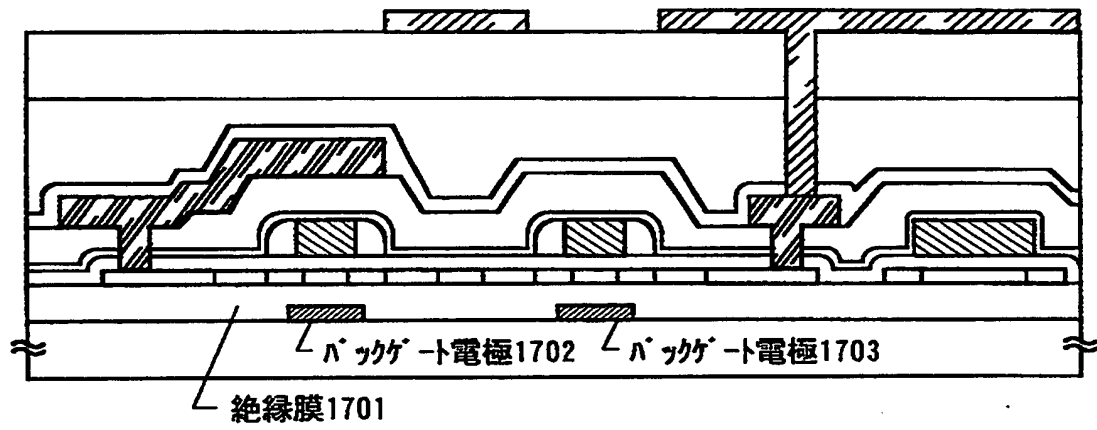
【図 15】



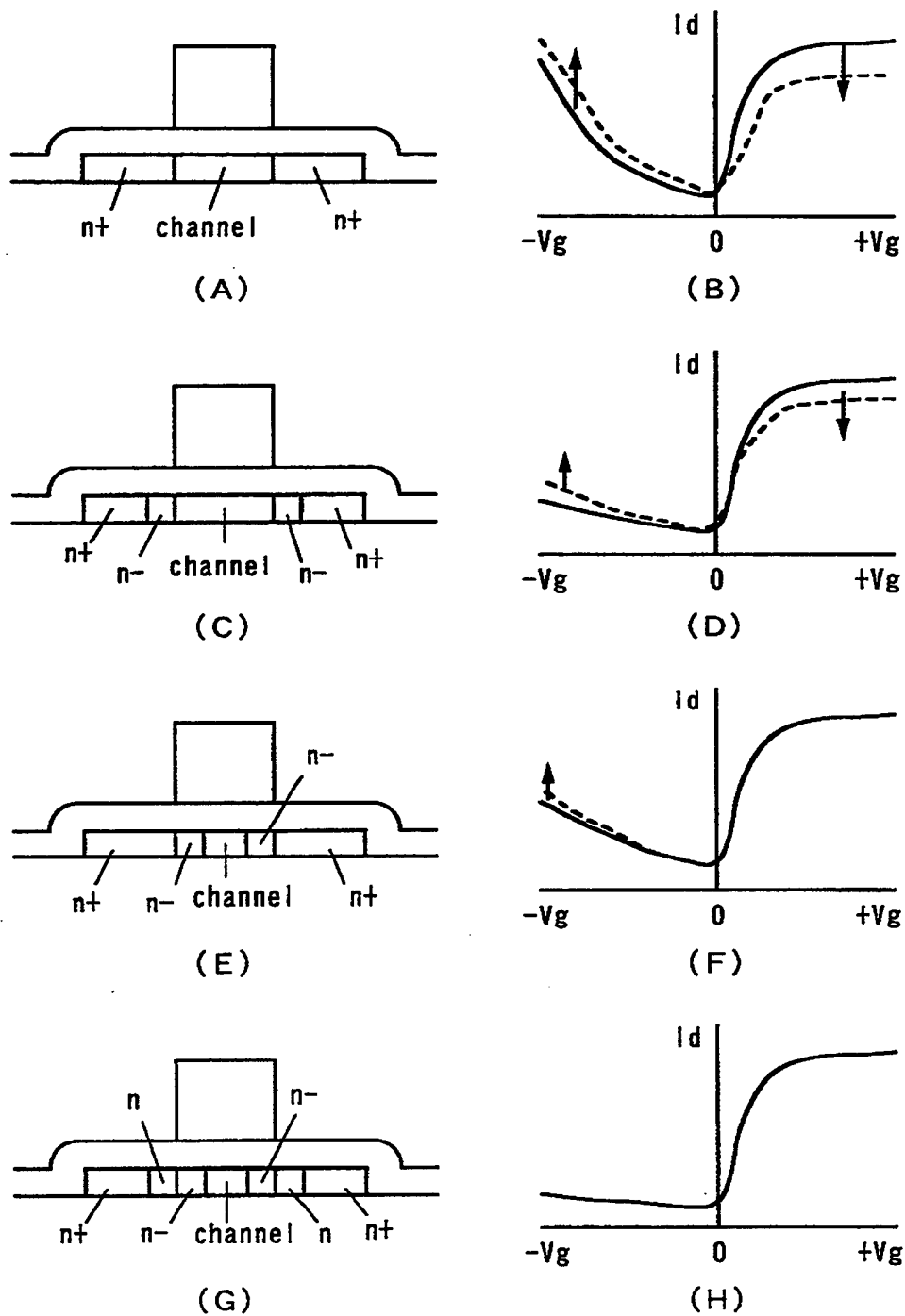
【図 16】



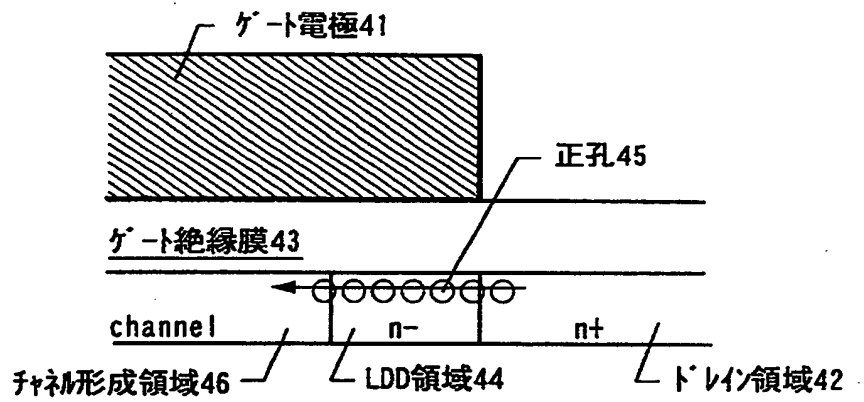
【図 17】



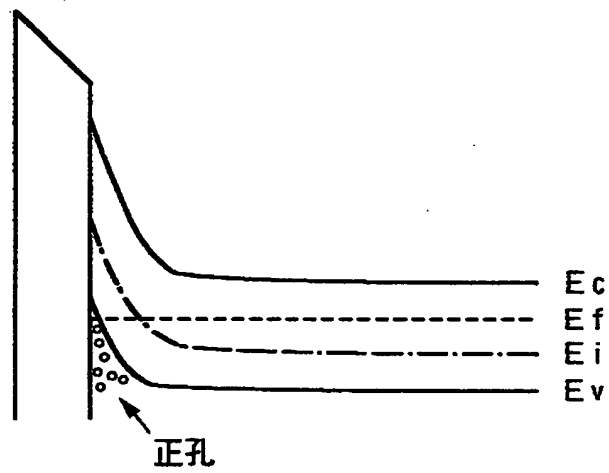
【図 18】



【図 19】



(A)



(B)

【書類名】 要約書

【要約】

【課題】 信頼性の高い半導体装置を実現する。

【解決手段】 NTF Tの活性層をチャネル形成領域102、第1不純物領域103、第2不純物領域104及び第3不純物領域105で形成する。この時、各不純物領域の不純物濃度はチャネル形成領域102から遠くなるほど高くなるように設けられる。さらに、第1不純物領域102はサイドウォール108と重なるように配置され、サイドウォール108を電極として機能させることで実質的なゲートオーバーラップ構造を実現する。

【選択図】 図1

【書類名】

職権訂正データ

【訂正書類】

特許願

<認定情報・付加情報>

【特許出願人】

申請人

【識別番号】

000153878

【住所又は居所】

神奈川県厚木市長谷 3 9 8 番地

【氏名又は名称】

株式会社半導体エネルギー研究所

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日
[変更理由] 新規登録
住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所